Міністерство освіти і науки України
Вінницький національний технічний університет

Конспект лекцій
з дисципліни
«Електроніка. Цифрова схемотехніка»
для здобувачів вищої освіти за спеціальністю
163 – Біомедична інженерія

Co-funded by the Erasmus+ Programme of the European Union

Розроблено в рамках проекту “Erasmus+ (CBHE) BioArt “Інноваційна мультидисциплінарна освітня програма зі штучних імплантів для біоінженерії для бакалаврів та магістрів”

Developed in the frame of project “Erasmus+ (CBHE) BioArt“Innovative Multidisciplinary Curriculum in Artificial Implants for Bio-Engineering BSc / MSc Degrees” (586114-EPP- 1-2017-1-ES- EPPKA2-CBHE- JP).

Вінниця
ВНТУ
2020

Рекомендовано - кафедрою біомедичної інженерії Вінницького національного технічного університету Міністерства освіти і науки України (протокол засідання кафедри БМІ № 2 від 10.09.2019 р., оновлено, розглянуто зі змінами на засіданні кафедри БМІ № 2 від 09.09.2020 р)

Конспект лекцій з вивчення дисципліни «Математичне моделювання в біології та медицині» для студентів спеціальності спеціальності 163 – Біомедична інженерія освітня програма Біомедична інженерія / Уклад. Д. В. Гаврілов. – Вінниця : ВНТУ, 2020.

Конспект лекцій призначений для студентів, які навчаються за рівнем бакалавра зі спеціальності 163 - Біомедична інженерія, освітня програма - Біомедична інженерія.

З М І С Т

Передмова……3
Глава 1. **АРИФМЕТИЧНІ ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ**.....4
§ 1.1. Перетворення чисел між системами числення.....……..4
1.1.1. Системи числення…….....4
1.1.2. Перетворення між двійковою і шістнадцятковою та вісімковою системами числення…….....6
1.1.3. Перетворення до десяткової системи числення……..…….....6
1.1.4. Перетворення від десяткової до інших систем числення……..8
1.1.5. Деякі спрощення перетворень між системами числення……..9
§ 1.2. Інформаційна ємність та форми зображення двійкових чисел…10
1.2.1. Одиниці кількості цифрової інформації……10
1.2.2. Машинне слово……11
1.2.3. Форма зображення чисел з нерухомою комою……12
1.2.4. Форма зображення чисел з рухомою комою……12
§ 1.3. Цифрові коди……..15
1.3.1. Загальні відомості……15
1.3.2. Арифметичні коди зображення чисел зі знаком……...16
1.3.3. Складені двійково-десяткові коди……..18
1.3.4. Циклічний код Ґрея……..20
1.3.5. Завадостійкі коди з виявленням помилок……..20
1.3.6. Комбінаторні літеро-цифрові коди……23
§ 1.4. Двійкова арифметика……...24
1.4.1. Загальні відомості……24
1.4.2. Алгебричне додавання в двійковій системі……...24
1.4.3. Алгебричне додавання в системі ДДК 8421……..27
1.4.4. Алгебричне додавання в системі ДДК з надлишком 3……29
1.4.5. Множення……..29
1.4.6. Ділення……..31
Запитання та вправи……32
Глава 2. **ЛОГІЧНІ ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ**.....34
§ 2.1. Алгебра логіки……...34
2.1.1. Загальні відомості……34
2.1.2. Основні логічні функції……...35
2.1.3. Співвідношення алгебри логіки……..38
2.1.4. Стандартні форми логічних функцій……..42
2.1.5. Співвідношення між логічними функціями……...47
§ 2.2. Мінімізація логічних функцій……50
2.2.1. Графічний метод діаграм термів (Вайча-Карно)……...50
2.2.2. Аналітичні методи……56
§ 2.3. Основи схемної реалізації логічних функцій……...59
2.3.1. Реалізація в поширених базисах……59
2.3.2. Способи спрощення логічних схем……63
2.3.3. Спрощення логічних схем з багатьма виходами……...69

§ 2.4. Проектування логічних схем……..73
2.4.1. Завдання та етапи логічного проектування……..73
2.4.2. Методика проектування логічних схем……74
2.4.3. Елементи технічного проектування……...78
Запитання та вправи……83
Глава 3. **ЕЛЕКТРОННІ КЛЮЧІ**.....85
§ 3.1. Діодні ключі……87
3.1.1. Характеристики діодів……87
3.1.2. Статичні режими……..88
3.1.3. Перехідні процеси……90
3.1.4. Діодно-резисторні логічні елементи……..92
3.1.5. Розрахунок діодних ключів……93
§ 3.2. Ключі на біполярних транзисторах……...95
3.2.1. Статичні режими……..95
3.2.2. Перехідні процеси……..100
3.2.3. Методи підвищення швидкодії……....110
3.2.4. Ескізний розрахунок транзисторних ключів……...114
§ 3.3. Ключі на польових транзисторах……..…116
3.3.1. Статичні режими.....116
3.3.2. Перехідні процеси.....118
Запитання та вправи.....……..119
Глава 4. **БАЗОВІ ЕЛЕМЕНТИ ЦИФРОВИХ ІНТЕГРОВАНИХ МІКРОСХЕМ**..……120
§ 4.1. Базові елементи ТТЛ……..120
4.1.1. Базові елементи з простим інвертором……...…120
4.1.2. Основна схема та статичні режими…….....122
4.1.3. Статичні характеристики……..…125
4.1.4. Перехідні процеси……129
4.1.5. Модифікації базового елемента……...131
4.1.6. Розрахунок сполучення кіл з елементами ТТЛ……..137
§ 4.2. Базові елементи ЕСЛ……..141
4.2.1. Перемикач струму……141
4.2.2. Основна схема…….....144
4.2.3. Статичні режими та передатна характеристика……146
4.2.4. Особливості сполучення із зовнішніми колами…….....147
§ 4.3. Базові елементи на МОН–структурах……149
4.3.1. Базовий елемент МОНТЛ……149
4.3.2. Базовий елемент КМОНТЛ…….....152
4.3.3. Двоспрямовані ключі КМОНТЛ……..155
4.3.4. Динамічні елементи……..156
§ 4.4. Базові елементи $I^2Л$……158
Запитання та вправи……..161
Література……162

П Е Р Е Д М О В А

Цифрові пристрої (ЦП) – це радіоелектронні засоби, що виконують функції формування, перетворення та обробки цифрових сигналів. Особливість цифрових сигналів полягає в тому, що вони є стандартними, по-перше, за місцем надходження в дискретні моменти часу, по-друге, за рівнями, які можуть набувати лише квантованих значень, та, по-третє, за обмеженою в часі тривалістю переходу від одного рівня до іншого. В окремих випадках (наприклад, під час перетворення цифрового сигналу в аналоговий) кількість квантованих значень може бути довільною зі скінченної їх множини, але переважно обмежуються двома квантованими рівнями, якими кодуються інформаційні значення логічних нуля та одиниці. Через це, якщо спеціально не обумовлено, під *цифровими* розуміють дискретні двійково-квантовані сигнали.

Завдяки тому, що такі сигнали є стандартними, пристрої і системи утворюються безпосереднім з'єднанням цифрових інтегрованих мікросхем (ІС) певних серій. З іншого боку, двійкове кодування інформації цифровими сигналами дозволяє застосовувати з метою раціональної побудови різноманітних ЦП спільні *математичні засади* – двійкову арифметику й алгебру логіки. *Схемотехнічні засади* побудови ЦП довільної складності – це, в основному, електронні ключі та базові елементи цифрових ІС, які є різновидами таких ключів за схемним і технологічним виконанням.

У навчальному посібнику викладаються зазначені засади, які є своєрідною абеткою цифрової схемотехніки; подається також методика логічного проектування на рівні елементів малого ступеня інтеграції. Зміст посібника спрямований на базову підготовку студентів радіотехнічних спеціальностей вищих закладів освіти з відповідних розділів цифрових пристроїв та мікропроцесорів. Матеріал систематизовано і дозовано таким чином, аби полегшити його самостійне вивчення, а також уможливити запровадження технології дистанційного навчання.

Глава 1

АРИФМЕТИЧНІ ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ

§1.1. ПЕРЕТВОРЕННЯ ЧИСЕЛ МІЖ СИСТЕМАМИ ЧИСЛЕННЯ

1.1.1. Системи числення

У *позиційній* системі числення (СЧ), на відміну від непозиційної, наприклад, римської, кількість, позначувана цифрою x_i, залежить від її позиції – розряду i в числі

$$X_c = x_{n-1}x_{n-2}\ldots x_1x_0, x_{-1}x_{-2}\ldots x_{-m}, \qquad (1.1)$$

де n, m - кількість цифр відповідно в цілій та дробовій частинах числа, відокремлюваних одна від однієї розділовою комою або крапкою. Найбільшого поширення набули позиційні СЧ, в яких вага розрядів c^i (кількісне значення кожної їх одиниці) змінюється в геометричній прогресії, знаменник якої c є *основою* СЧ, що дорівнює кількості різних цифр, потрібних для запису довільного числа. Отже, запис (1.1) відповідає кількості

$$X_c = x_{n-1}c^{n-1} + \ldots + x_0c^0 + \ldots + x_{-m}c^{-m} = \sum_{i=n-1}^{-m} x_i c^i, \qquad (1.2)$$

наприклад, $904{,}1_{10} = 9\cdot10^2 + 0\cdot10^1 + 4\cdot10^0 + 1\cdot10^{-1}$.

У найуживаніших СЧ (табл.1.1) використовуються арабські цифри, а якщо їх бракує - також літери латинської абетки: цифри *A,...,F* відповідають десятковим числам 10,...,15. (Цифри можуть позначатися і від'ємними числами, наприклад, у знакорозрядних формах двійкової і трійкової СЧ застосовуються цифри 1, 0, 1 , де 1= –1). Крім індексних уживаються також літерні позначення СЧ: *D* (Decimal), *B* (Binary), *H* (Hexadecimal), *Q* (Octal), наприклад, 94.1= $94{,}1_{10}$= = 94.1*D*; $10{,}01_2$= 10.01*B*; $7B{,}A_{16}$= 7*B.AH*; $76{,}5_8$= 76.5*Q*.

У табл.1.2 наведено приклади на деякі числа в основних СЧ. Якщо числа

в різних СЧ відповідають однаковій кількості, вони є еквівалентними, наприклад, $10101100,1_2=254,4_8=172,5_{10}=AC,8_{16}$; найдовшими є двійкові числа, найкоротшими – шістнадцяткові, звичайно, зручнішими для людини – десяткові.

Таблиця 1.1

Основа	10	2	8	16
Найменування	десяткова	двійкова	вісімкова	шістнадцяткова
Цифри	0,1,…,9	0,1	0,1,…,7	0,1,…,9,A,B,C,D,E,F

Як відомо, у цифровій техніці використовується переважно двійкова СЧ, бо їй властиві такі позитивні якості: найпростіша реалізація елемента для відображення всього двох цифр; найбільша завадостійкість, зумовлена тим, що під час дії завад, дестабілізівних чинників тощо легше розрізнити два рівні напруги, ніж кілька; простота виконання арифметичних та логічних операцій і пов'язана з цим висока швидкодія; ощадливість та можливість уніфікації обладнання.

Таблиця 1.2

10	2	8	16	10	2	8	16	10	2	8	16
0	0	0	0	16	10000	20	10	1/2	0,1	0,4	0,8
1	1	1	1	17	10001	21	11				
2	10	2	2	18	10010	22	12	1/4	0,01	0,2	0,4
3	11	3	3	19	10011	23	13				
4	100	4	4	20	10100	24	14	1/8	0,001	0,1	0,2
5	101	5	5	21	10101	25	15				
6	110	6	6	22	10110	26	16	1/16		0,04	0,1
7	111	7	7	23	10111	27	17				
8	1000	10	8	24	11000	30	18	1/64		0,01	0,04
9	1001	11	9	25	11001	31	19				
10	1010	12	*A*	26	11010	32	1*A*	1/256		0,002	0,01
11	1011	13	*B*	27	11011	33	1*B*				
12	1100	14	*C*	28	11100	34	1*C*	1/512		0,001	0,008
13	1101	15	*D*	29	11101	35	1*D*				
14	1110	16	*E*	30	11110	36	1*E*	1/4096			0,001
15	1111	17	*F*	31	11110	37	1*F*				

1.1.2. Перетворення між двійковою, шістнадцятковою та вісімковою системами числення

Недолік двійкової СЧ – незручність запису довгих чисел – компенсується широким запровадженням шістнадцяткової та вісімкової систем для сполучення між пристроями цифрової техніки. Саме ці СЧ вибрано тому, що між ними й двійковою системою найлегше виконати перетворення чисел.

Взагалі, якщо основи двох систем співвідносяться як $c_2=c_1^k$ (k – ціле число), то для перетворення $X_{c1}\rightarrow X_{c2}$ (чисел від системи з основою c_1 до системи з основою c_2) досить розбити вихідне число X_{c1} на групи з k цифр відносно коми та замінити кожну групу на цифру системи з основою c_2. Так, для перетворень $X_2\rightarrow X_{16}$, $X_2\rightarrow X_8$ (приклади на рис. 1.1) двійкове число розбиваємо відносно коми ліворуч та праворуч (зазначено стрілками вгорі) відповідно по чотири (тетради) і три (тріади) розряди, додаємо в крайніх групах, за необхідністю, незначущі нулі та замінюємо утворені тетради й тріади цифрами відпо-відно шістнадцяткової і вісімкової СЧ. І, навпаки, для зворотного перетворення $X_{16}\rightarrow X_2$, $X_8\rightarrow X_2$ кожну цифру числа замінюємо відповідно тетрадою або тріадою двійкових цифр.

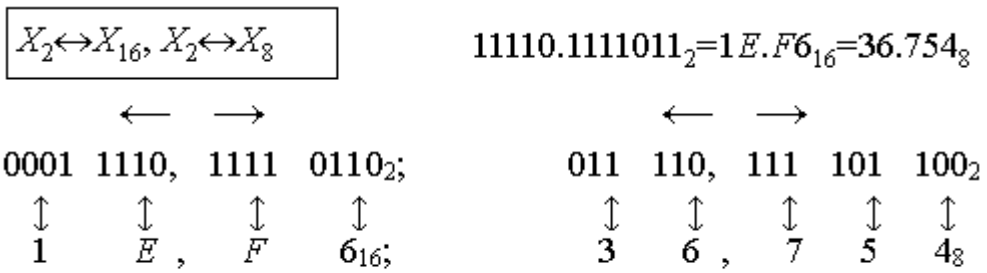


Рис. 1.1

1.1.3. Перетворення до десяткової системи числення

Часто доводиться перетворювати числа з будь-якої СЧ до звичної десяткової системи. Універсальним для цього є метод за *формулою полінома* (1.2). Для СЧ із великими основами, наприклад, c=16 (рис. 1.2,*а*), можна скористатися таблицями степенів та мікрокалькулятором, а для двійкової системи досить підсумувати вагові коефіцієнти (на рис. 1.2,*б* розташовані вгорі), що відповідають одиничним розрядам двійкового числа.

Якщо у виразі (1.2) поступово виносити за дужки основу в першому степені, одержимо модифіковану формулу, в якій менше операцій множення та яку легше запрограмувати. Обчислення за нею (*алгоритм Горнера*) розглянемо на прикладі (рис. 1.2,*в*). Старший розряд числа (*B*) множимо на основу системи (c=16), до добутку додаємо наступний розряд (*A*) і суму (186)

знов множимо на основу; продовжуючи цей ланцюжок, під кінець до попереднього обутку додаємо останній розряд (0) цілої частини вихідного числа й дістаємо, таким чином, цілу частину десяткового числа (2976). Перетворення дробової частини виконується аналогічно, але в протилежному напрямку. Молодший розряд дробової частини (*F*) ділимо на основу системи (або множимо на 1/*c*=0,0625), до результату додаємо наступний ліворуч розряд (8) і суму (8,9375) знов ділимо на основу. Після додавання останнього (першого після коми) розряду (0) також виконуємо ділення і дістаємо дробову частину числа (0,0349...). У підсумку маємо $BA0{,}08F_{16} \approx 2976{,}0349_{10}$.

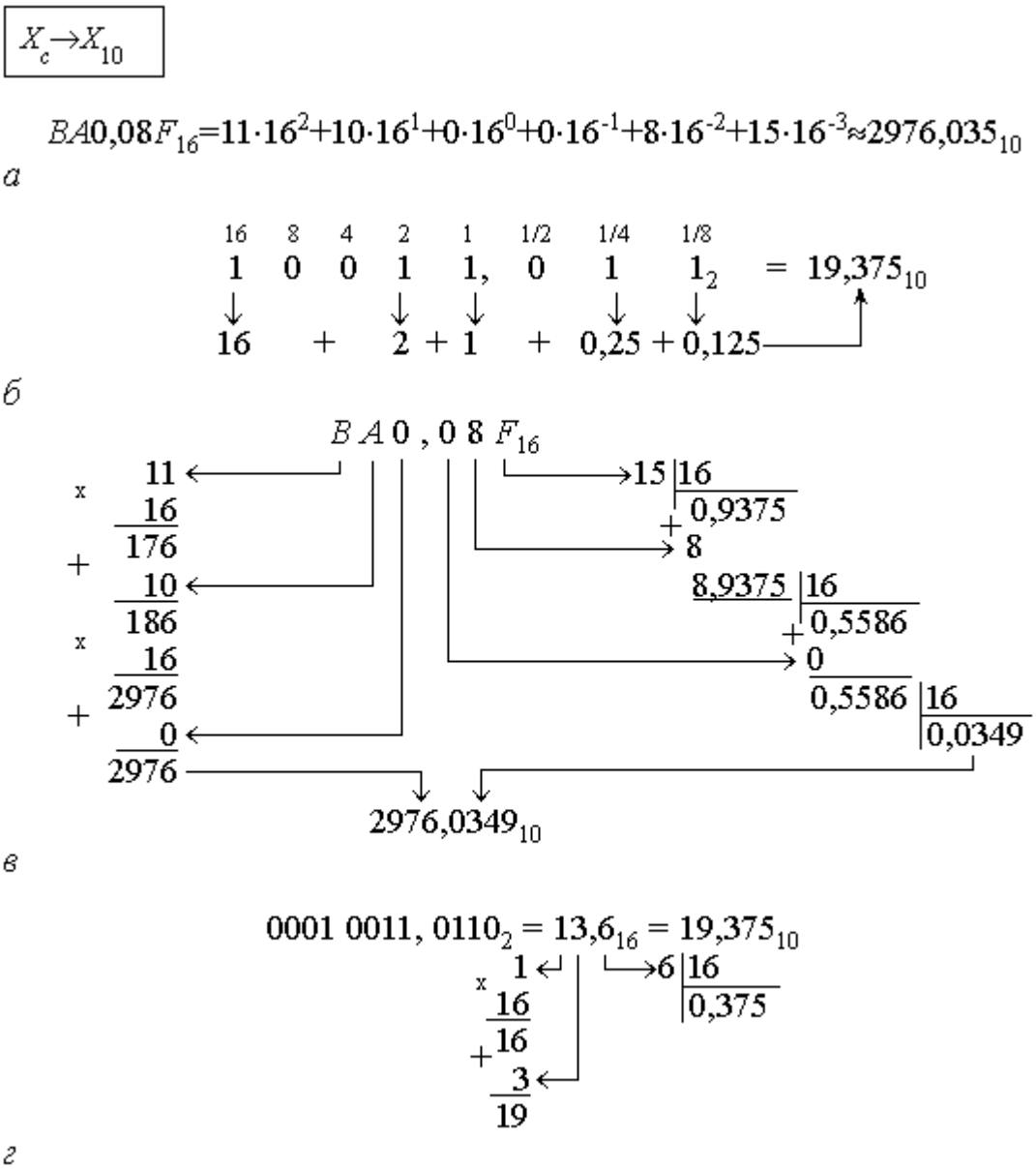


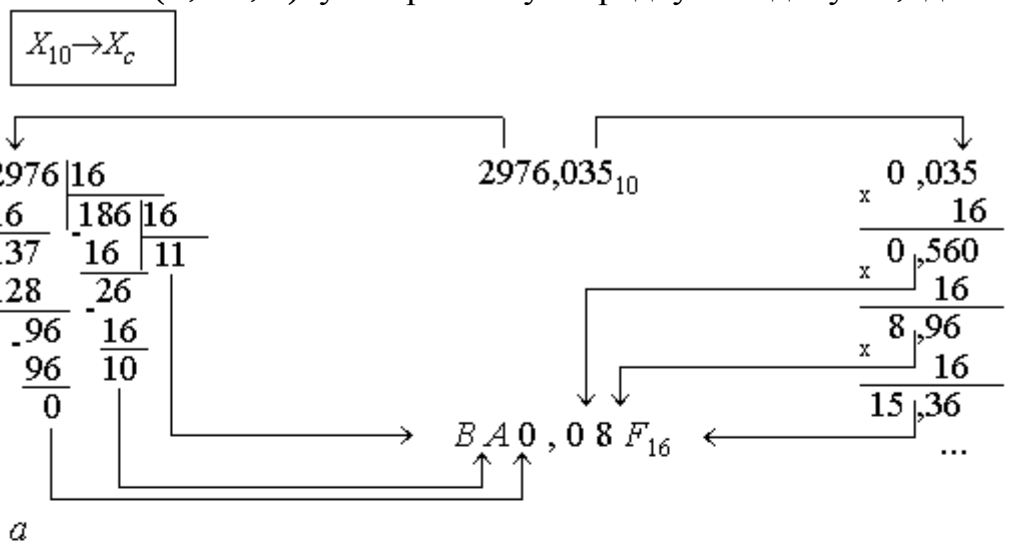
Рис. 1.2

Перетворення до десяткової СЧ за алгоритмом Горнера можна робити і з двійкової системи, проте для довгих чисел воно коротше за схемою $X_2 \to X_{16} \to X_{10}$ (рис. 1.2,*г*).

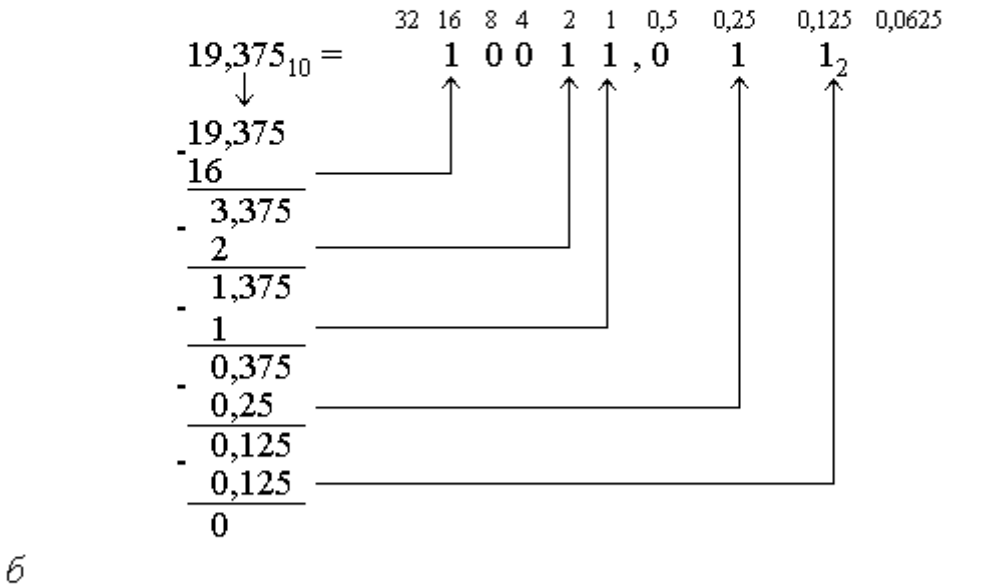
1.1.4. Перетворення від десяткової до інших систем числення

Для зображення чисел і іншої інформації в цифрових пристроях часто необхідно перетворювати десяткові числа до СЧ з будь-якою основою *c*. *Універсальний алгоритм* такого перетворення розглянемо на прикладі $X_{10} \rightarrow \rightarrow X_{16}$ (рис. 1.3,*а*).

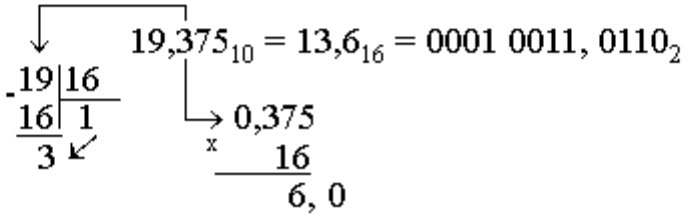
Цілу частину вихідного числа (2976) і кожну наступну частку (186) ділять послідовно на основу нової системи (c=16) до отримання неподільної частки (11). Записуючи останню частку (11) і залишки від ділення (10; 0) як цифри нової системи (B; A ; 0) у зворотному порядку їх здобуття, дістають цілу



а



б



в

Рис. 1.3

частину нового числа ($BA0_{16}$). Дробову частину вихідного числа (0,035) і дробову частину кожного наступного добутку (0,56; 0,96; ...) тепер множать послідовно на ту ж саму основу (16) до отримання нуля в дробовій частині чергового добутку або потрібної точності (кількості розрядів після коми). Цілі частини добутків від кожного множення (0; 8; 15; ...), записані як цифри нової СЧ (0; 8; *F)* у прямому порядку їх одержання, складають дробову частину нового числа ($0{,}08F..._{16}$). Таким чином, маємо $2976{,}035_{10} \approx BA0{,}08F_{16}$.

Цей алгоритм застосовується й для перетворення $X_{10} \to X_2$, а з огляду на те, що двійкові вагові коефіцієнти дуже легко визначаються, це перетворення можна виконати послідовним відніманням (рис. 1.3,*б*) від десяткового числа (19,375) і кожної наступної різниці (3,375; 1,375; ...) найбільших вагових коефіцієнтів, що не перевищують зменшуваного (16<19,375; 2<3,375; ...). Лишається тільки записати одиниці до тих розрядів двійкового числа, що відповідають від'ємникам, а до решти розрядів – нулі. Кількість операцій у порівнянні з попереднім алгоритмом тут зменшується на кількість нулів у двійковому числі (наприклад, у перетворенні $1025_{10} \to X_2$ зменшується на порядок). Проте великі десяткові числа швидше перетворити в двійкові за схемою $X_{10} \to X_{16} \to X_2$ (рис. 1.3,*в*).

1.1.5. Деякі спрощення перетворень між системами числення

Звернімо увагу на те, що для перетворень між будь-якою системою та десятковою $X_c X_{10}$, ми користувалися алгоритмами, в яких арифметичні дії виконуються в десятковій системі. Якщо необхідно перетворювати числа між довільними системами $X_{c1} \to X_{c2}$, крім випадку $c_2 = c_1^k$, то операції доводиться здійснювати в арифметиці довільної системи, що викликає незручності. Тому варто йти простим шляхом $X_{c1} \to X_{10} \to X_{c2}$, коли всі дії можна виконувати десятковою арифметикою, як, наприклад, зроблено перетворення $X_3 \to X_5$ (рис. 1.4). В алгоритмах машинного перетворення, навпаки, зручніше виконувати арифметичні дії в двійковій системі, наприклад, шляхом послідовного ділення і множення на число 1010_2.

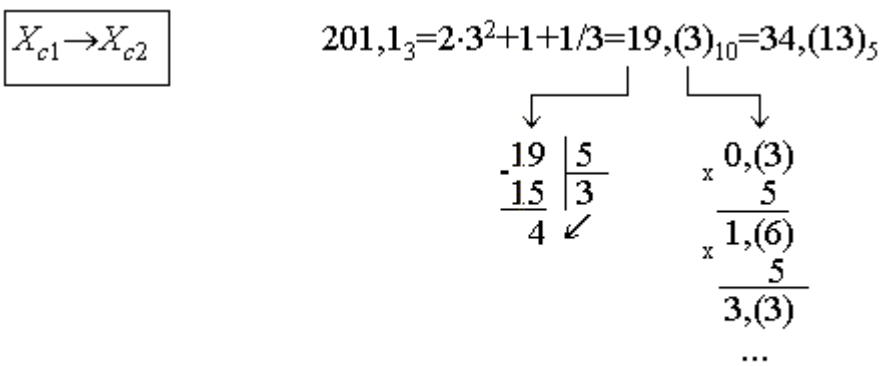


Рис. 1.4

Враховуючи, що зсув розряду числа ліворуч або праворуч, еквівалентний

відповідно множенню або діленню на основу системи, можна спростити деякі перетворення, користуючись співвідношеннями, наприклад, для двійкової системи (три крапки означають, що цифра повторюється в k розрядах поспіль):

$$1...1=2^k-1;\quad 0,1...1=1-2^{-k};\quad X0...0=X\cdot 2^k;\quad 0,0...0X=X\cdot 2^{-(k+n)},$$

де n – кількість розрядів числа X.

Приклади. 1) $11111,1111_2=(2^5-1)+(1-2^{-4})=31+15/16$; 2) $111100101,111100101_2=$ $=(2^4-1)\cdot 2^5+5+(1-2^{-4}+5\cdot 2^{-9})=15\cdot 2^5+5+1-(2^5-5)\cdot 2^{-9}=485+(1-27/512)=485+485/512$.

Як і слід було сподіватися, дробову частину можна перетворити як ціле число, а відтак помножити його на 2^{-m}, де m – кількість розрядів після коми. Природно, аналогічно спрощуються перетворення і з інших систем до десяткової. Наприклад, $1400.FF_{16}=20\cdot 16^2+(1-16^{-2})=5120+255/256$.

§1.2. ІНФОРМАЦІЙНА ЄМНІСТЬ ТА ФОРМИ ЗОБРАЖЕННЯ ДВІЙКОВИХ ЧИСЕЛ

1.2.1. Одиниці кількості цифрової інформації

Змінюючи всі можливі сполучення цифр x_i в (1.2), одержимо (вважаючи для простоти m=0) набір цілих чисел, які можна зобразити n розрядами X_c=0...(c^n-1), тобто разом $K=c^n$ різних чисел. Наприклад, 3 розряди десяткової системи утворюють 10^3 чисел X_{10}=0,...,999. Так само діапазон зображуваних n розрядами двійкових чисел становить X_2=0,...,(2^n-1), а їх кількість $K=2^n$ удвічі більша за вагу старшого розряду 2^{n-1}.

Чим більша розрядність цифрового пристрою n, тим менша ймовірність $p(X_i)=1/K$ (для рівноймовірних подій) прийняття ним від джерела якогось конкретного повідомлення – одного з діапазону K зображуваних чисел – і тим більша кількість інформації (як міра невизначеності повідомлення) у ньому міститься. У теорії інформації прийнята логарифмічна міра її кількості, що для рівноймовірних подій становить

$$\log_2 = \frac{1}{p(X_i)} = \log_2 K = n$$

тобто визначається кількістю двійкових розрядів, яку вміщує той чи той пристрій.

Одиниця кількості двійкової інформації – біт (bit – binary digit – двійковий розряд; якщо використовуються десяткові логарифми, одиницею інформації є діт, якщо натуральні – ніт) тлумачиться як така, що міститься в одному двійковому розряді, або як змінна x_i, що може набувати тільки двох значень: 0 та 1; 1 біт інформації можна відтворювати транзистором у ключовому

режимі, передавати однодротовою лінією, зберігати в одному елементі пам'яті (тригері й т. ін.). Зростання інформаційної ємності (табл.1.3) потребує, природно, і збільшення обладнання. Так, для ємності 1 байт = 8 біт вже потрібна комірка пам'яті з восьми однобітових елементів і восьмидротова лінія, яка називається шиною даних.

Таблиця 1.3

Кількість двійкових розрядів, n	Діапазон даних, D_2 (D_{10})	Кількість чисел, K	Інформаційна ємність
1	0; 1 (0; 1)	2	1 біт
4	0000 ... 1111 (0...15)	16	1/2 байт
8	00000000 ... 11111111(0...255)	256	1 байт
16	0...0 ... 1...1 (0...б5535)	65536	2 байт

1.2.2. Машинне слово

Ємність оброблюваної інформації визначається для кожної ЕОМ розрядністю цифрових пристроїв у її складі. Аби підкреслити, що деяка ЕОМ за одним захом обробляє двійкове число певної довжини, його називають *машинним словом*; у мікропроцесорній техніці частіше вживаються слова довжиною 1 байт (рис. 1.5,*а*) і 2 байти. Можуть застосовуватися також слова половинної (півслово) або подвійної довжини. Якщо слова зберігаються в комірках пам'яті ЕОМ, то для звернення до них (наприклад, для зчитування) необхідно зазначити їх адреси – нумерацію комірок, де вони розташовані (рис. 1.5,*б*). Для адресування теж використовується двійкова система, проте занотовувати та вводити адреси зручніше в шістнадцятковій системі (табл.1.4). Якщо в комірці пам'яті зберігається слово в 1 байт інформації, то за допомогою одного двійкового розряду адреси можна звернутися лише до двох комірок (одна з них активізується нулем, друга – одиницею), тобто до 2 байт інформації, за допомогою 10 розрядів – до 1024 байт = 1 Кбайт, а 20 розрядів – до 1024 Кбайт=1 Мбайт.

Таблиця 1.4

Кількість двійкових розрядів, n	Діапазон адрес, A_{16}(A_{10})	Кількість адрес	Ємність адресованої пам’яті
1	0; 1 (0; 1)	2	2 байт
4	0...F(0...15)	16	16 байт
8	00...FF (0...255)	256	1/4 Кбайт
10	000...3FF (0...1 023)	2^{10}=1024	1 Кбайт
12	000...FFF (0...4 095)	$4\cdot2^{10}$	4 Кбайт
16	0000...FFFF(0...65 535)	$64\cdot2^{10}$	64 Кбайт
18	00000...3FFFF (0...262 143)	$256\cdot2^{10}$	1/4 Мбайт
20	00000...FFFFF (0...1 048 575)	2^{20}	1 Мбайт

У цьому розумінні йдеться про ємність адресованої пам'яті. Для адресування широко використовуються 16- (рис. 1.5,*в*) та 20-розрядні адреси, що дозволяють звертатися до пам'яті ємністю відповідно 64 Кбайт та 1 Мбайт. За допомогою наведеної таблиці легше розподілити пам'ять між окремими її блоками, наприклад, блок в 1 Кбайт із початковою адресою *A*700*H* закінчується адресою *A*700+3*FF=AAFFH* (див. рис. 1.5,*б*).

1.2.3. Форма зображення чисел з нерухомою комою

У форматі цілого числа зі знаком (рис. 1.5,*г*) один біт *S* (Sign – знак) призначається для знака: *S*=0 – число додатне, *S*=1 – від'ємне. Тому, наприклад, в однобайтовому слові на цифрову частину (модуль числа) залишається 7 біт, що становить діапазон зображуваних чисел від $1.1111111_2=-127_{10}$ до $0.1111111_2=+127_{10}$ (крапкою умовно відокремлено знаковий біт) або за модулем $0...127_{10}$.

Дробове число подається в такому ж форматі (див. рис. 1.5,*г*), проте кома фіксується звичайно після знакового біта, тобто все число довжиною *n* біт сприймається як дріб: знаковий біт розташований у цілій частині, а решту *m=n-1* розрядів дробової частини займає модуль числа. Отже, дані мають вписуватися до розрядної сітки шляхом добору масштабних коефіцієнтів. Таке подання чисел називають зображенням з *нерухомою* (фіксованою) *комою*. Найбільше число при цьому становить $X_{макс}=0.1...1=1-2^{-m}$ (як і в десятковій системі, наприклад, $0,999=1-10^{-3}$), а найменше за модулем зображуване число, відмінне від нуля, $X_{мін}=0,0...01=2^{-m}$, тобто діапазон зображуваних чисел за модулем становить $X_{мін}...X_{макс}=2^{-m}...1-2^{-m}$.

Під час зображення малих чисел старші розряди витискаються нулями і коли молодші розряди не вміщуються в розрядній сітці, вони не сприймаються ЕОМ (тому число, менше за 2^{-m}, називають *машинним нулем*), внаслідок чого виникає абсолютна похибка, що не перевищує одиниці молодшого розряду $\Delta=2^{-m}$. Звідси дістаємо відносну похибку в усьому діапазоні чисел

$$d \le \frac{\Delta}{X_{мін}}...\frac{\Delta}{X_{макс}} = 1...\frac{1}{2^m - 1}$$

Наприклад, для однобайтового слова (*n*=8, *m*=7) маємо в діапазоні чисел 1/128...127/128 відносну похибку біля 100% ... 0,8 %, тобто, як і слід було сподіватися, малі числа зображаються з дуже великою похибкою.

1.2.4. Форма зображення чисел з рухомою комою

У формі зображення з *рухомою* (пливною) *комою* (рис. 1.5,*д*) число подається в показниковому (або півлогарифмічному: половина зображення показникова) вигляді:

$$X=M\cdot 2^E,$$

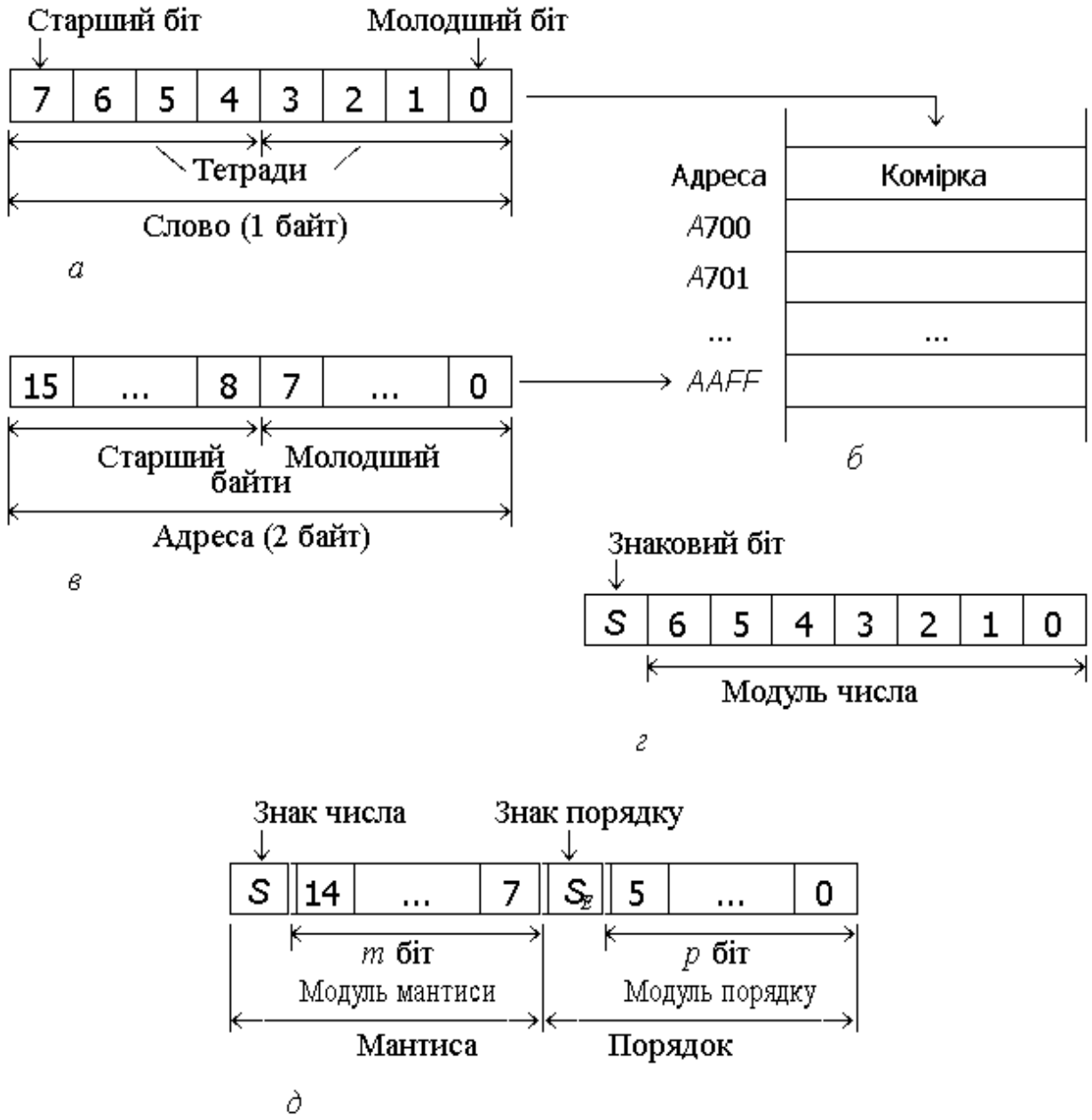


Рис. 1.5

де M – мантиса, E – порядок числа; два біти приділено знакам: S – знаковий біт числа, S_E – знаковий біт порядку. Здебільшого, модуль мантиси сприймається як правильний дріб (уявна кома є між бітом S та старшим бітом мантиси), а модуль порядку – завжди як ціле число.

Наприклад, якщо в двобайтовому слові 2 біти приділено знакам, 8 біт – модулю мантиси та 6 біт – модулю порядку, то зображення 1.01010000.0.000100 (розділові крапки між частинами слова зазначено умовно) є число $X=(-0{,}0101\cdot 2^{+100})_2=-101_2=-5_{10}$. Таке зображення вважається ненормалізованим, проте частіше вживається нормалізоване, до якого

переходять за допомогою перації *нормалізації*: мантиса зсувається ліворуч доти, поки з'явиться одиниця після знакового біта числа (кожний крок зсуву еквівалентний множенню на 2), а порядок числа, аби воно не змінилося, зменшується на кількість кроків зсуву (еквівалентно діленню по черзі на 2). У нашому прикладі один крок ліворуч дає нормалізоване зображення числа $X=(-0{,}101\cdot 2^{+11})_2=-101_2=-5_{10}$.

У нормалізованому числі найменше значення мантиси, відмінне від нуля, становить $M_{мін}=0{,}10...0_2=2^{-1}$, її найбільша величина $M_{макс}=0{,}11...1_2=1-2^{-m}\approx 1$ та найбільше значення модуля порядку $E_{макс}=2^p-1$, де m, p – кількість розрядів у модулях відповідно мантиси та порядку. Звідси маємо модулі найменшого й найбільшого чисел

$$X_{мін}=M_{мін}\cdot 2^{-E_{макс}}=2^{-1}\cdot 2^{-\left(2^p-1\right)}=2^{-2^p},$$

$$X_{макс}=M_{макс}\cdot 2^{+E_{макс}}=\left(1-2^{-m}\right)\cdot 2^{2^p-1}\approx 2^{2^p-1}$$

та діапазон їх зображення $X=2^{-2p}...2^{2p-1}$, який у нашому прикладі при $m=8$, $p=6$ становить $X=2^{-64}...2^{63}$.

Абсолютна похибка зображення мантиси, яка не перевищує $=2^{-m}$, визначає відносну похибку зображення чисел у всьому їх діапазоні (тут порядок числа не враховуємо, бо він входить до чисельників та знаменників):

$$d\le\frac{\Delta}{M_{мін}}...\frac{\Delta}{M_{макс}}=\frac{1}{2^{m-1}}...\frac{1}{2^m-1},$$

тобто в нашому прикладі змінюється в діапазоні $2^{-7}...2^{-8}<0{,}8\%...0{,}4\%$.

З метою розширення діапазону зображуваних чисел без збільшення довжини розрядної сітки в сучасних ЕОМ числа з рухомою комою подаються в шістнадцятковій системі числення

$$X=M\cdot 16^E$$

з довжиною слова 4 байти (32 розряди) або зі збільшеною кількістю розрядів мантиси для підвищення точності у форматі слова 8 байтів (64 розряди).

Отже, інформаційну ємність цифрових пристроїв, каналів передачі даних оцінюють логарифмічною мірою кількості інформації в бітах і байтах, а кількість інформації, що зберігається в пам'яті ЕОМ, характеризують ємністю адресованої пам'яті.

Будь-яка інформація може зображатися в ЕОМ у формі слова (без знака) або цілого числа зі знаком, в останньому випадку 1 біт слова займає знак. Дробові числа зображаються у формі з нерухомою та рухомою комою. Форма з рухомою комою дозволяє зображати числа в дуже широкому діапазоні з приблизно однаковою похибкою, яка визначається довжиною мантиси, але арифметичні операції ускладнюються тим, що їх потрібно виконувати окремо над мантисою і порядком. Тому ця форма вживається частіше в універсальних ЕОМ. Діапазон зображуваних чисел у формі з нерухомою комою значно вужчий і похибка подання малих чисел може

неприпустимо збільшуватися. Проте застосуванням відповідних одиниць вимірювання фізичних величин та масштабуванням дані радіотехнічних пристроїв можна вписати до розрядної сітки таким чином, аби уникнути великих похибок зображення. Простота виконання арифметичних дій і через це можливість підвищення швидкодії та ощадливість обладнання зумовили широке застосування форми зображення чисел з нерухомою комою в спеціалізованих, зокрема, радіотехнічних інформаційно-вимірювальних системах.

§1.3. ЦИФРОВІ КОДИ

1.3.1. Загальні відомості

Різноманітну інформацію: цифрові дані, адреси, друкарські символи, команди тощо обчислювальні пристрої сприймають як повідомлення або слова у вигляді двійкових чисел – цифрових кодів. Цифровий код – це сполучення за певними правилами символів 0 та 1 для відображення повідомлення. Сенс кодів тлумачиться в ЕОМ залежно від виконуваної операції, наприклад, як операнди (числа) під час арифметичних дій, як логічні змінні для виконання логічних операцій, як коди літер після команди "Друкувати" тощо.

Мета кодування полягає в тому, аби забезпечити простоту, надійність зберігання та обробки інформації, мінімум обладнання, узгодження із зовнішніми пристроями, високі швидкодію та вірогідність передавання й оброблення повідомлень, полегшити сполучення людини з ЕОМ і т. ін. За умов протиріччя окремих вимог задовольняють головні з них для конкретної системи, тому й існує багато кодових різновидів.

За формою передавання й приймання по каналах сполучення розрізняють *послідовні* коди (коли розряди надходять послідовно в часі однодротовою лінією) та *паралельні* (коли всі розряди слова передаються одночасно багато-дротовою лінією – шиною). Послідовні цифрові коди потребують менше обладнання і більш завадостійкі, тому застосовуються, головним чином, для сполучення з віддаленими об'єктами. У радіотехнічних та обчислювальних пристроях використовуються переважно паралельні коди, бо вони забезпечують значно вищу швидкодію. Природно, існує й комбінована форма кодів, коли довге слово приймається та обробляється за кілька заходів, наприклад, байтами.

З метою уніфікації та спрощення обладнання для виконання арифметичних операцій над числами зі знаком застосовують прямий, обернений або доповняльний *арифметичні* коди. На відміну від арифметичних, *комбінаторні* коди використовують для позначення літер, знаків, іншої нечислової інфор мації. Кодуванням цифр однієї СЧ за допомогою цифр іншої утворюються *складені* коди, наприклад, двійково-

десяткові. Спеціального застосування в лічильних пристроях, аналого-цифрових перетворювачах набули *відбиті* (рефлексні) коди. Підвищити завадостійкість під час передавання інформації можна за допомогою *завадостійких* кодів, що дозволяють виявляти й виправляти помилки.

1.3.2. Арифметичні коди зображення чисел зі знаком

Прямий код є звичайне двійкове число з додаванням знакового біта (рис. 1.6): 0 – для додатних чисел та 1 – для від'ємних:

$$X_{пр} = \begin{cases} 0.X, якщо \quad X \geq 0; \\ 1.|X|, якщо \quad X \leq 0. \end{cases}$$

Приклади. 1) X=+1011_2; $X_{пр}$=0.1011; 2) X=-1011_2; $X_{пр}$=1.1011.

В ЕОМ подання чисел зі знаковим бітом трактується як мішаний дріб, в якого цей біт є цілою частиною. Це ніяк не впливає на виконання арифметичних дій, тому далі для зручності вважатимемо всі числа цілими.

Обернений або інверсний код додатного числа збігається з його прямим кодом, а від'ємного (див. рис. 1.6) – утворюється додаванням одиниці в знаковому розряді та оберненням або інвертуванням X (взаємно оберненим заступленням одиниць нулями, а нулів – одиницями) цифрової частини:

$$X_{об} = \begin{cases} 0.X, якщо \quad X \geq 0; \\ 1.|\overline{X}|, якщо \quad X \leq 0. \end{cases}$$

Приклади. 1) X=+1011_2; $X_{об}$=0.1011; 2) X=-1011_2; $X_{об}$=1.0100.

Природно, для перетворення оберненого коду від'ємного числа в прямий досить знов зінвертувати цифрову частину, тобто взаємно замінити в ній нулі та одиниці.

Доповняльний код уживається для виконання арифметичних дій найширше. У десятковій системі числення доповнення n-розрядного числа X_{10} є 10^n-$|X_{10}|$, наприклад, доповненням -183_{10} буде 817_{10}. Так само й у двійковій системі з огляду на те, що

$$\sum_{i=0}^{n-1} 2^i = 2^n - 1,$$

маємо доповнення n-розрядного числа

$$X_{доп} = 2^m - |X_2| = 1 + \sum_{i=0}^{n-1} 2^i - \sum_{i=0}^{n-1} x_i \cdot 2^i = 1 + \sum_{i=0}^{n-1} (1 - x_i) 2^i =$$

$$= 1 + \sum_{i=0}^{n-1} \overline{x}_i \cdot 2^i = 1 + |X_{об}|.$$

Таким чином, доповняльний код від'ємного числа (див. рис. 1.6) утворюється за допомогою одиниці в знаковому розряді, інвертування цифрової частини та додавання одиниці до молодшого розряду, а код додатного числа збігається з прямим кодом:

Таблиця 1.5

X_{10}	$X_{пр}$	$X_{об}$	$X_{доп}$
+7	0.111	0.111	0.111
…	…	…	…
+1	0.001	0.001	0.001
+0	0.000	0.000	0.000
-0	1.000	1.111	
-1	1.001	1.110	1.111
-2	1.010	1.101	1.110
-3	1.011	1.100	1.101
-4	1.100	1.011	1.100
-5	1.101	1.010	1.011
-6	1.110	1.001	1.010
-7	1.111	1.000	1.001
-8	-	-	1.000

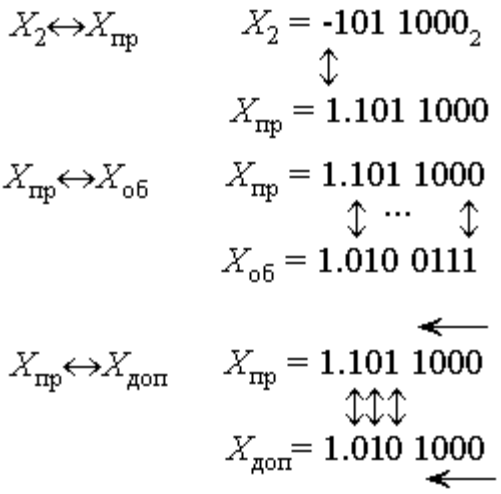


Рис. 1.6.

$$X_{об} = \begin{cases} 0.X, якщо \quad X \geq 0; \\ 1.\left(\left|\overline{X}\right|+1\right) = 1.\left(X_{об}+1\right), якщо \quad X < 0. \end{cases}$$

Не важко переконатись, що після інвертування одиниці з нулями в кінці числа ...1000$_2$ маємо ...0111, а після додавання одиниці до молодшого розряду знов отримуємо в кінці доповняльного коду ...1000. Тобто практично для утворення доповняльного коду від'ємного числа ручним способом розглядаємо прямий код від кінця ліворуч (стрілка на рис. 1.6) і лишаємо незмінними всі нулі та першу одиницю, а решту розрядів до розділової крапки інвертуємо. Так само від доповняльного коду переходимо до прямого.

Приклади. 1) X=+1011$_2$; $X_{доп}$=0.1011; 2) X=-1011$_2$; $X_{доп}$=1.0101; перевірка: $|X_{доп}|=2^4-|X|=2^4-11_{10}=5_{10}$.

Із табл. 1.5, де наведено арифметичні коди деяких чисел, видно, що в прямому та оберненому кодах існує два зображення нуля, які можуть виникати під час виконання арифметичних дій; ці зображення рівноцінні й не спричиняють помилок. У доповняльному коді зображення нуля єдине, внаслідок чого діапазон від'ємних чисел більший на одиницю (доповняльний код найбільшого від'ємного n-розрядного числа не утворюєтья від прямого або оберненого кодів, бо їх не існує в розрядній сітці).

Отже, числа зі знаком зображаються за допомогою прямого, оберненого та доповняльного арифметичних кодів. Зображення додатного числа у всіх цих кодах однакове: до числа додається нульовий знаковий біт; у зображенні від'ємного числа знаковий біт дорівнює 1, а в його цифровій частині є модуль числа в прямому коді, інверсія модуля – в оберненому та інверсія плюс одиниця – в доповняльному. Для виконання арифметичних операцій ширше застосовується доповняльний код.

1.3.3. Складені двійково-десяткові коди

Із складених набули поширення лише двійково-десяткові коди (ДДК), у них кожна десяткова цифра кодується певним набором двійкових цифр. Це полегшує сполучення з ЕОМ, зокрема, під час введення чисел натисненням на клавішу одразу формується набір нулів та одиниць, які сприймаються ЕОМ, тобто спрощується завантаження даних до ЕОМ у зручній для людини десятковій системі. Якщо завантажені числа використовуються далі для виконання арифметичних операцій, то необхідно перетворити їх у двійкову СЧ або обчислення виконувати безпосередньо в ДДК.

Перший варіант у багатьох випадках є неприйнятний, бо коли виконуються прості арифметичні дії над великими масивами чисел, як, наприклад, в обліковій справі, більша частина машинного часу витрачатиметься на непродуктивні операції перетворення чисел. У другому варіанті використання ДДК з метою спростити виконання арифметичних дій, полегшити декодування, підвищити продуктивність тощо спосіб кодування в ДДК має задовольняти деякі умови. Головними з них є такі: впорядкованість (більшим десятковим цифрам відповідають більші двійкові числа, що утворюють коди, парні цифри – парним двійковим числам), зваженість (кожний розряд коду, як і в двійковій системі, має свою вагу), однозначність (кожній десятковій цифрі відповідає своє двійкове число), самодоповняльність (заступлення в коді кожної цифри нулів одиницями та навпаки утворює нову цифру, що є доповненням вихідної до 9). Аби задовольнити ці умови чи, принаймні, головні з них, залежно від мети застосовують різні способи кодування.

Найпоширенішим є ***ДДК 8421***, частіше його називають просто ДДК (*BCD* – Binary-Coded Decimal – двійково-кодована десяткова система) або код 8421; для стислості позначатимемо його $X_{2/10}$. Кожна десяткова цифра в ДДК кодується двійковою тетрадою з природною вагою розрядів 8, 4, 2, 1 (табл.1.6), тобто десяткова цифра є просто відповідне їй двійкове чотирирозрядне число. Тому й перетворення чисел між десятковою системою і ДДК виконується аналогічно перетворенням між шістнадцятковою та двійковою системами (рис. 1.7), наприклад, 298_{10}=0010 1001 $1000_{2/10}$. Відміна полягає в тому, що в ДДК набори в тетрадах від 1010 до 1111 є заборонені, бо таких десяткових цифр не існує, і всі нулі в тетрадах, включаючи незначущі ліворуч, мають збе-рігатись, аби уникнути плутанини.

ДДК 2421 або код Айкена (див. табл. 1.6) утворюється аналогічно коду 8421, але відрізняється тим, що вага старшого розряду в ньому дорівнює 2, тому цифри 0...4 збігаються з кодом 8421, а старші утворюються додаванням до десяткової цифри числа 6 та переведенням його в двійковий код:

$$X_{2421} = \begin{cases} X_{2/10}, \textit{якщо} \quad X_{10} < 5; \\ X_{10} + 6_{10} \rightarrow X_2, \textit{якщо} \quad X_{10} \geq 5. \end{cases}$$

ДДК 7421 відрізняється від коду 8421 вагою старшого розряду, що дорівнює 7; цим обумовлено утворення цифр коду (див. табл. 1.6):

$$X_{7421} = \begin{cases} X_{2/10}, якщо \quad X_{10} < 7; \\ X_{10} + 1_{10} \rightarrow X_2, якщо \quad X_{10} \geq 7. \end{cases}$$

ДДК з надлишком три X' (код 8421+3) утворюється додаванням до десяткової цифри числа 3_{10} та перетворенням суми в двійкову систему (див. табл.1.6):

$$X' = X_{8421+3} = X_{10} + 3_{10} \rightarrow X_2.$$

Усі наведені ДДК однозначні, впорядковані за зростанням величини, а перші два з них ще й збігаються за парністю з десятковими цифрами; коди 8421, 2421 та 7421 – зважені, що полегшує виконання арифметичних дій; самодоповняльними є коди 2421 та з надлишком три: $X_0 = \overline{X_9}$, $X_1 = \overline{X_8}$ і т. ін., що спрощує їх обернення та доповнення в операціях над числами зі знаком.

Код 8421 є поширеніший з огляду на його простоту й відповідність двійковій системі з природною вагою розрядів, але він не є самодоповняльний; коди з надлишком три та 2421 приблизно рівноцінні, недолік першого полягає в тому, що він є незважений, а в другого штучна вага старшого біта тетради. Через зазначені недоліки всі ці коди потребують коригування під час виконання арифметичних дій. Перевага коду 7421 полягає в зменшенні споживаної потужності від джерела живлення пристроями з динамічними елементами, які не споживають у стані нуля (цей код містить мінімум одиниць); проте його несамодоповняльність та штучна вага старшого розряду призводять до ускладнення арифметичних правил. Існують і інші способи кодування в ДДК, які можуть застосовуватись у цифрових пристроях.

Таблиця 1.6

X_{10}	8421	2421	7421	8421+3
	8 4 2 1	2 4 2 1	7 4 2 1	
0	0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 1
1	0 0 0 1	0 0 0 1	0 0 0 1	0 1 0 0
2	0 0 1 0	0 0 1 0	0 0 1 0	0 1 0 1
3	0 0 1 1	0 0 1 1	0 0 1 1	0 1 1 0
4	0 1 0 0	0 1 0 0	0 1 0 0	0 1 1 1
5	0 1 0 1	1 0 1 1	0 1 0 1	1 0 0 0
6	0 1 1 0	1 1 0 0	0 1 1 0	1 0 0 1
7	0 1 1 1	1 1 0 1	1 0 0 0	1 0 1 0
8	1 0 0 0	1 1 1 0	1 0 0 1	1 0 1 1
9	1 0 0 1	1 1 1 1	1 0 1 0	1 1 0 0

$X_{10} \leftrightarrow X_{2/10}$

$$\begin{array}{ccc} 2 & 9 & 8_{10} \\ \updownarrow & \updownarrow & \updownarrow \\ 0010 & 1001 & 1000_{2/10} \end{array}$$

Рис. 1.7

1.3.4. Циклічний код Ґрея

Аби зменшити вплив збоїв під час переходів вихідного коду та уникнути неоднозначності відліку, а також пришвидшити аналого-цифрове перетворення, застосовують *циклічні* коди, в яких усім сусіднім десятковим числам відповідають кодові набори, відмінні лише одним двійковим розрядом. Звичайному двійковому кодові ця властивість не притаманна: під час переходу, наприклад, від 3 до 4 зміна відбувається одразу в трьох двійкових розрядах, а від 7 до 8 – у чотирьох. Проте циклічні коди є непозиційні, тому для виконання арифметичних операцій їх перетворюють у двійковий код.

Таблиця 1.7

Код Ґрея				X_{10}
1	2	3	4	
0	00	000	0000	0
1	01	001	0001	1
	11	011	0011	2
	10	010	0010	3
		110	0110	4
		111	0111	5
		101	0101	6
		100	0100	7
			1100	8
			1101	9
			1111	10
			1110	11
			1010	12
			1011	13
			1001	14
			1000	15

Завдяки відносній легкості перетворення до двійкового коду і навпаки серед циклі-чних кодів частіше застосовується *код Ґрея*, який відноситься до так званих *відбитих* або рефлексних кодів: *n*-розрядний код дістають відображенням (*n*-1)-розрядного шляхом відбиття його відносно осі симетрії (у табл.1.7 показано утворення від одно- до чотирирозрядного коду). Для побудови п’ятирозрядного коду необхідно додати до старшого розряду нуль, а в інші переписати чотирирозрядний код, відтак замінити в старшому розряді нуль на одиницю і відбити в інші розряди знизу догори чотирирозрядний код.

1.3.5. Завадостійкі коди з виявленням помилок

У радіоелектронних системах, особливо швидкодійних, внаслідок впливу завад у каналах сполучення та збоїв у роботі пристроїв майже неминуче виникають помилки. Прояв їх полягає в зникненні одиниць або, навпаки, виникненні їх замість нулів в окремих розрядах коду, причому найімовірніше помилка може виникати в одному розряді (одноразова помилка), а одночасне їх виникнення в кількох розрядах має значно нижчу ймовірність. Проте в деяких системах радіозв’язку характерним є виникнення пачок помилок.

Для зменшення чи усунення впливу помилок застосовують *завадостійкі* коди, які дозволяють або тільки виявляти помилки, або виявляти та виправляти їх. Першорядного значення набули коди з виявленням одноразових помилок.

Принципово неможливо виявити, а, отже, і виправити помилки у звичайному двійковому коді, усі комбінації якого є інформаційні. Умовно це показано на рис. 1.8,*а*: деякий кодовий набір, припустімо, тетрада *A* (на схемі цифрами показано для прикладу коди тетрад) за зникнення в ній одиниці в будь-якому розряді (показано стрілкою -1) перетворюється в якийсь припустимий набір, наприклад *B*, а за виникнення одиниці замість одного з нулів (показано стрілкою +1) – в інший інформаційний код *C*. Так само й інші кодові набори внаслідок одноразової помилки перетворюватимуться один в одного, наприклад, *B* чи *C* в *A*. Це відбувається тому, що мінімальна *кодова відстань* (кількість розрядів, на яку відрізняються два з будь-яких наборів) у двійковому коді до-рівнює одиниці: *d*=1. У цьому розумінні коди *A*, *B* та *A*, *C* є *сусідні*.

Для виявлення помилок необхідно забезпечити кодову надлишковість: частина кодових наборів має бути забороненою, а решта – інформаційною, як, наприклад, у ДДК. Проте в ДДК надлишковість недостатня, у ньому можна виявити лише частину помилок. Виявити одноразову помилку можна впевнено, коли мінімальна кодова відстань (рис. 1.8,б): при цьому помилка в одному розряді коду А типу -1 або +1 утворює набори В чи С, які в цьому коді є заборонені.

Отже, найближчі інформаційні набори D, E розташовано тепер на кодовій відстані 2, тому, якщо в А є парна кількість одиниць, то в цих наборах вона також буде тільки парною (нуль теж вважається парним), а в хибних наборах *B*, *C* – тільки непарною.

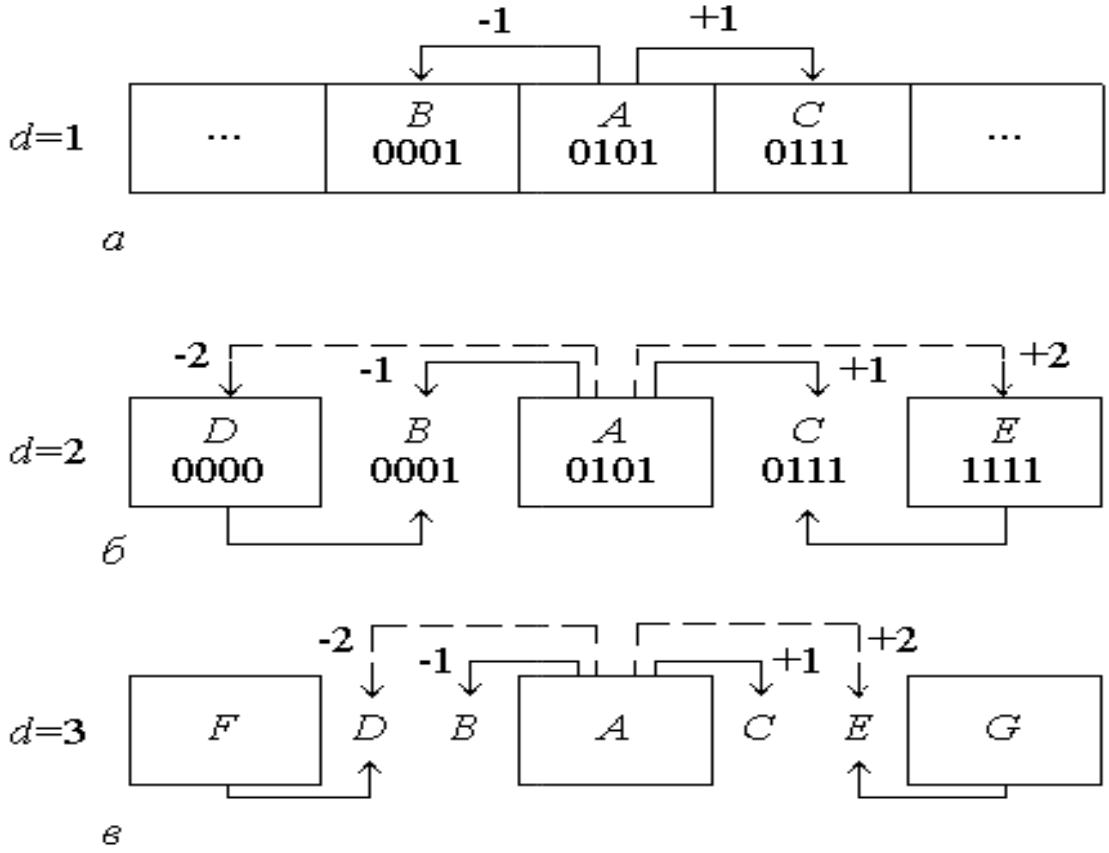


Рис. 1.8

Таблиця 1.8

X_{10}	8421	8421P	2 з 5	3X + 2
	8 4 2 1	S 4 2 I P	7 4 2 1 0	
0	0 0 0 0	0 0 0 0 0	1 1 0 0 0	0 0 0 1 0
1	0 0 0 1	0 0 0 1 1	0 0 0 1 1	0 0 1 0 1
2	0 0 1 0	0 0 1 0 1	0 0 1 0 1	0 1 0 0 0
3	0 0 1 1	0 0 1 1 0	0 0 1 1 0	0 1 0 1 1
4	0 1 0 0	0 1 0 0 1	0 1 0 0 1	0 1 1 1 0
5	0 1 0 1	0 1 0 1 0	0 1 0 1 0	1 0 0 0 1
6	0 1 1 0	0 1 1 0 0	0 1 1 0 0	1 0 1 0 0
7	0 1 1 1	0 1 1 1 1	1 0 0 0 1	1 0 1 1 1
8	1 0 0 0	1 0 0 0 1	1 0 0 1 0	1 1 0 1 0
9	1 0 0 1	1 0 0 1 0	1 0 1 0 0	1 1 1 0 1

У ДДК можна утворити лише 8 парних комбінацій з 16, тому необхідно збільшити розрядність коду, щоб дістати 10 цифр. Саме таким є самодоповняльний код 3*X*+2 (табл. 1.8): дві будь-які цифри X_{10} в ньому відрізняються не менш, ніж двома розрядами.

Проте найпростішим кодом із виявленням одноразової помилки є *ДДК із перевіркою на парність* (код 8421*P*), який утворюється безпосередньо з ДДК (для порівняння в табл. 1.8 наведено також ДДК) за допомогою додаткового контрольного розряду парності *P* (Paryty – парність).

Залежно від прийнятого правила перевірки до цього розряду додається одиниця в окремих наборах, аби кількість одиниць у будь-якому з них була парною або непарною. Поодинока помилка (а також непарна їх кількість) викликає зміну парності, що й виявляє помилкову цифру. Слід зазначити, що цей метод виявлення помилок широко вживається не тільки в ДДК, але й в інших кодах. У багатьох мікропроцесорах операція перевірки на парність виконується автоматично й індикується за допомогою спеціального біта – прапорця (ознаки) парності *P*.

Так само помилка виявляється у зваженому (крім цифри нуль) ДДК *"два з п'ятьох"* (код 74210), в якому кожна десяткова цифра містить дві одиниці; незначущий розряд 0, по суті, виконує функції розряду *P* (див. табл. 1.8).

Зазначені коди мають мінімальну кодову відстань не менше двох, тому вони виявляють помилку, але для її виправлення потрібно ще визначити, в якому розряді вона виникає. Якщо відстань *d*=2, принципово це зробити неможливо, бо ті ж самі неприпустимі кодові комбінації *B*, *C* можуть виникати за одноразової помилки не тільки від коду *A*, але й від інших інформаційних кодів, зокрема, *D*, *E* (суцільні стрілки на рис. 1.8,*б*). Крім того, при цьому не виявля ються й подвійні помилки (пунктирні стрілки), бо вони викликають перетворення інформаційних кодів один в одного.

Розмірковуючи аналогічно, можна дійти висновку, що для виправлення одноразових помилок кодову відстань потрібно збільшити до *d*=3 (рис. 1.8,*в*). Тепер від інформаційних кодів *A*, *F*, *G* одноразові помилки (суцільні стрілки)

утворюють різні неприпустимі набори *D*, *B*, C, *E*, тому за виникнення, наприклад, кодів *B* чи *C* ми точно впевнені, що був переданий код *A* і, отже, можемо відновити його.

Практично це робиться за допомогою *коригувальних* кодів або *кодів Геміна*. У коді Геміна, наприклад, для ДДК кожна тетрада кодується сімома бітами, 4 з яких є інформаційні, а 3 – біти контролю парності в певних розрядах коду. Ці розряди дібрано таким чином, що підсумок перевірки на парність певних бітів отриманого повідомлення утворює двійковий код помилкового розряду, інвертуванням якого хибний код виправляється.

Таким чином, шляхом уведення надлишковості коду утворюється відстань *d* не менше трьох, яка дозволяє виправити одноразові помилки. При цьому виявляються також дворазові помилки (пунктир на рис. 1.8,*в*), проте виправити їх не можна, для цього необхідно ще збільшити відстань *d* збільшенням надлишковості коду.

1.3.6. Комбінаторні літеро-цифрові коди

Для обслуговування пристроїв уведення-виведення інформації, пристроїв її відображення тощо необхідно забезпечити стандартне сполучення ЕОМ із зовнішнім обладнанням, аби не розробляти його для кожної обчислювальної системи. З цією метою впроваджено кілька кодів зображення символьної (літе-рної) інформації, наприклад, типу *ASCII* (American Standard Code for Information Interchange – Американський стандартний код для обміну інформацією).

У цих стандартах цифри, літери й інші службові символи кодуються, здебільшого, однобайтовим словом, старший розряд якого може приділятися для контрольного біта парності. Наприклад, в *ASCII* літера *A* має код 0100 0001, знак ? – 0011 1111, символ "Повернення каретки" – 0000 1101 та ін. Кожна цифра кодується двома тетрадами, причому старша тетрада, яка називається зоною, містить однаковий набір 1111, а молодша відображає власне цифру в ДДК: від 0000 до 1001 (інші шість наборів 1010...1111 використовуються для кодування знаків). Такий формат називається *зоновим* і використовується тільки для введення-виведення інформації.

Для виконання арифметичних дій застосовують *спакований формат*: після введення кожна цифра займає лише одну тетраду, та, крім того, одна тетрада (молодша) приділяється коду знака числа, а якщо старша лишається вільною, до неї записується нуль. Наприклад, у зображенні -91_{10} = 0000 1001 0001 1101_2 число займає 2 байти, молодшою тетрадою 1101 кодується знак мінус, а старша тетрада нульова.

§1.4. ДВІЙКОВА АРИФМЕТИКА

1.4.1. Загальні відомості

Арифметичні операції над операндами (багатоцифровими числами) виконуються в будь-якій системі числення за правилами дій над однорозрядними операндами a, b. Найпростішою є таблиця дій у двійковій арифметиці (табл. 1.9). У ній зазначено, що під час додавання в деякому розряді чисел двох одиниць утворюється перенесення c (Carry) до старшого розряду, а сума в цьому розряді s=0, тобто $1+1=10_2$. Так само й під час віднімання, якщо зменшуване менше за від'ємник, утворюється позика b' (Borroy) зі старшого розряду, що дорівнює двом одиницям молодшого, тому різниця в ньому s'=1.

Таблиця 1.9

a b	$a+b$ c s	$a-b$ b' s'	ab	$a:b$
0 0	0 0	0 0	0	-
0 1	0 1	1 1	0	0
1 0	0 1	0 1	0	-
1 1	1 0	0 0	1	1

Таблиця 1.10

i	c_i b_i a_i	c_{i+1}	s_i
0	0 0 0	0	0
1	0 0 1	0	1
2	0 1 0	0	1
3	0 1 1	1	0
4	1 0 0	0	1
5	1 0 1	1	0
6	1 1 0	1	0
7	1 1 1	1	1

011...1 + 1 = 100...0;
k одиниць k нулів
100...0 - 1 = 011...1
k нулів k одиниць

Слід зауважити, що в багатоцифровому числі з низкою одиниць, розташованих поруч (показано під таблицею), додавання або перенесення до молодшої з них одиниці перетворює всю низку на нулі, а перший нуль ліворуч від неї – на одиницю. І, навпаки, під час віднімання позика одиниці перетворює низку нулів на одиниці, а одиницю ліворуч – на нуль. З урахуванням цього фактично додавання двох чисел зводиться до підсумовування трьох компонентів (табл. 1.10): доданків i-го розряду a_i, b_i та перенесення до цього розряду з попереднього c_i, у підсумку маємо повну суму в цьому розряді s_i і перенесення до старшого розряду c_{i+1}.

1.4.2. Алгебричне додавання в двійковій системі

Як і в десятковій системі X_{10}, у двійковій системі X_2 (рис. 1.9,*а*) додавання виконується за два заходи: підсумовування розрядів a_i, b_i утворює підрозрядну суму s' та перенесення c_i, додавання яких дає остаточну суму s_i. Апаратурно додавання за такою схемою можна реалізувати двома двовходовими півсуматорами: у першому визначається a_i+b_i, у другому $s'+c_i$,

або одним тривходовим суматором: $a_i+b_i+c_i$.

Операцію віднімання, аби не застосовувати додаткових пристроїв, виконують шляхом *алгебричного* додавання в *доповняльному* $X_{\text{доп}}$ або *оберненому* $X_{\text{об}}$ кодах, оперуючи зі знаковими бітами як зі звичайними розрядами чисел. Зрозуміло, що модуль суми двох чисел має задовольняти вимогу правильного вибору їх масштабу:

$$|A+B|<2^n, \qquad (1.3)$$

інакше відбудеться переповнення розрядної сітки – сума не вміститься у відведені для неї n розрядів.

Залежно від модулів та знаків доданків можливі чотири випадки обчислення їх суми, які розглянемо на прикладах.

1) Якщо обидва операнди є додатні (рис. 1.9,*б*), то за умови (1.3) матимемо модуль суми

$$X=A+B=S<2^n, \qquad (1.4,a)$$

а додавання знакових бітів як звичайних розрядів становить знак суми

$$Z=0+0=0, \qquad (1.5,a)$$

отже, дістанемо в підсумку правильний результат (знаковий біт відокремлено крапкою)

$$Z.X=0.S. \qquad (1.6,a)$$

За невиконання умови (1.3) в (1.4,*а*) отримаємо що означає перенесення до знакового розряду, тому (1.5,*а*) дасть $Z=0+0+1=1$, і в підсумку (1.6,*а*) матимемо $Z.X=1.(2^n-S)=1.S_{\text{доп}}$, тобто дістанемо від'ємну суму за додатних операндів. Це й буде індикувати переповнення розрядної сітки, що автоматично виконується мікропроцесором.

2) Якщо операнди мають різні знаки і додатний більший за модуль від'ємного (рис. 1.9,*в*), то, враховуючи, що модуль доповняльного коду від'ємного числа X_2 визначається як $2^n-|X_2|$ і що число 2^n дає одиницю перенесення c до знакового розряду, аналогічно (1.4,*а*...1.6,*а*) матимемо:

$$X=A+(2^n-|B|)=(A-|B|)+2^n=$$

$$=S+c>2^n; \qquad (1.4,б)$$

$$Z=0+1+1=\underset{\hookleftarrow}{1}0\rightarrow 0. \qquad (1.5,б)$$

Отже, відкидаючи одиницю перенесення (показано відокремленням) зі знакового розряду, дістанемо правильний підсумок

$$Z.X=0.S. \qquad (1.6,б)$$

Те ж саме маємо під час додавання в оберненому коді, але в підсумку буде на 1 менше, тому згадане перенесення потрібно додати до суми, аби її

скоригувати (стрілка на рис. 1.9,*в*).

3) Якщо операнди різних знаків, але тепер від'ємний за модулем більший, ніж додатний (рис. 1.9,*г*), то

$$X=(2^n-|A|)+B=2^n-(|A|-B)=2^n-|S|=S_{\text{доп}}<2^n;$$

$$Z=1+0=1; \qquad (1.5,в)$$

$$Z.X=1.S_{\text{доп}}, \qquad (1.6,в)$$

тобто дістанемо правильний результат у доповняльному коді. У цьому випадку, як і в попередньому (за різних знаків доданків), переповнення не утворюється, тому й немає потреби його контролювати.

4) Якщо обидва доданки від'ємні (рис. 1.9,*д*), то за умови (1.3) дістанемо

$$X=(2^n-|A|)+(2^n-|B|)=2^n+[2^n-(|A|+|B|)]=$$

$$=2^n+(2^n-|S|)=c+S_{\text{доп}}>2^n; \qquad (1.4,г)$$

$$Z=0+1+1=\underset{\hookleftarrow}{10}\rightarrow 0. \qquad (1.5,г)$$

$$Z.X=1.S_{\text{доп}}. \qquad (1.6,г)$$

Як і в другому випадку, відкидаючи перенесення зі знакового розряду під час додавання в доповняльному коді та додаючи його до суми під час додавання в оберненому коді, отримаємо правильний результат відповідно в доповняльному й оберненому кодах. Щодо контролю переповнення, воно виконується аналогічно першому випадкові.

Віднімання чисел зі знаком легко замінити їх додаванням, якщо від'ємник знов перетворити в доповняльний або обернений код. Наприклад, операція $(-A)-(-B)=-A+B$ фактично повторює операцію додавання (див. рис. 1.9,*г*), тому розглянуті правила дійсні й для віднімання.

Отже, щодо додавання чисел з нерухомою комою в двійковій системі слід відзначити

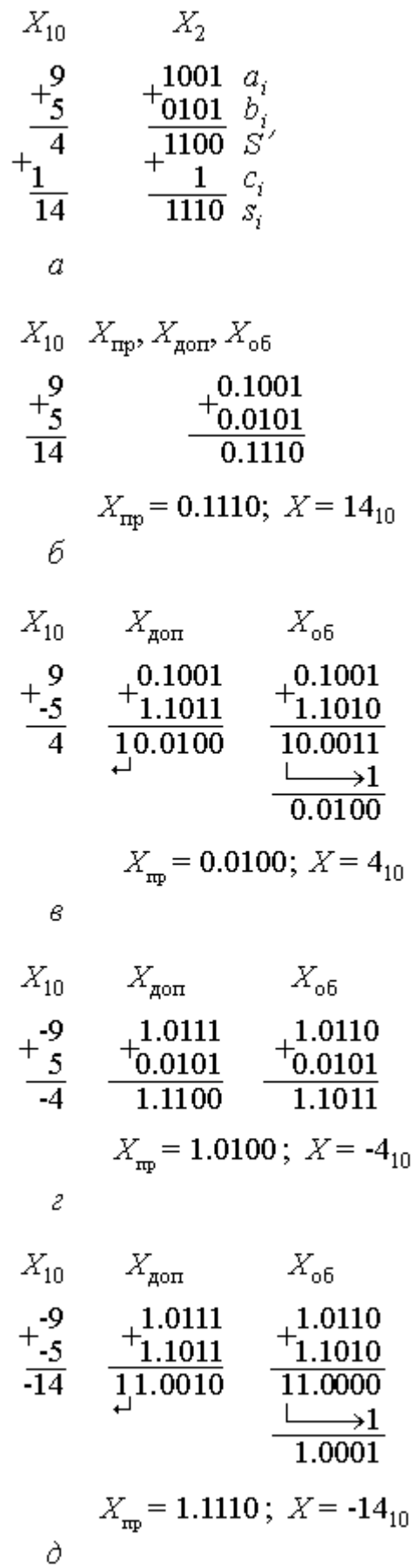


Рис. 1.9

таке: 1) додавання чисел зі знаком зводиться до операції додавання в доповняльному або оберненому коді їх розрядів, включаючи знаковий; 2) якщо виникає перенесення в знаковому розряді суми, то під час виконання операції в доповняльному коді його відкидають, а в оберненому коді – додають до суми; 3) результат одержують у тому ж коді, в якому зображено операнди; 4) якщо доданки мають різні знаки, то переповнення не виникає, а якщо однакові, то знак суми збігається з їх знаком, в іншому разі індикується переповнення розрядної сітки; 5) у доповняльному коді не виникає потреби коригувати суму додаванням до неї одиниці перенесення знакового розряду, тому він використовується частіше; 6) віднімання чисел зі знаком, зображених у доповняльному або оберненому кодах, зводиться до їх додавання, якщо зменшуване залишити незмінним, а над від'ємником виконати операцію відповідно доповнення або обернення.

Для додавання чисел $A = M_1 \cdot 2^{E_1}$ та (де $E_2 < E_1$) у форматі з рухомою комою для одержання суми $S = A + B = \left(M_1 + M_2' \right) \cdot 2^{E_1}$ попередньо вирівнюють порядки доданків, збільшуючи менший E_2 до більшого E_1 із коригуванням мантиси M_2 до M_2', аби число B не змінилося. Відтак алгебрично підсумовують мантиси M_1+M_2' з урахуванням знаків за правилами додавання чисел з нерухомою комою, приписують порядок суми E_1 та, у разі потреби, нормалізують результат.

1.4.3. Алгебричне додавання в системі ДДК 8421

Як і в двійковій системі, алгебричне додавання чисел зі знаком у ДДК виконують у доповняльному або оберненому кодах: операцію доповнення здійснюють над кожною тетрадою до 9 в обох кодах, а над молодшою – до 10 в доповняльному коді. На рис. 1.10 наведено приклади на додавання чисел ДДК 8421 у доповняльному коді: для наочності цифрові розряди десяткового доповняльного коду $X_{10.доп}$ подано десятковими цифрами, а знакові розряди – двійковими, тобто $+57_{10}=0.57_{10.доп}$, $-57_{10}=1.43_{10.доп}$ (бо 100-57=43). При цьому вважаємо дані коректними: модуль суми операндів не виходить за межі розрядної сітки.

Залежно від величини тетрад доданків можливі три притаманні ДДК випадки.

1) Після додавання кожна тетрада суми $S_i<10$ (рис. 1.10,*а*), тобто не утворюються неприпустимі комбінації в тетрадах і перенесення між ними: підсумок правильний, коригування його не потрібне.

2) У будь-якій тетраді виникає сума 9<Si<16 (на рис. 1.10,б – у молодшій тетраді), тобто в ній утворюється заборонена комбінація, але перенесення між тетрадами відсутнє: це призводить до втрати одиниці в наступній, старшій тетраді – потрібне коригування шляхом додавання 610=01102 до тієї тетради, в якій виникла неприпустима комбінація.

3) Сума двох тетрад доданків S_i>15, внаслідок чого утворюється перенесення (на рис. 1.10,*в* показано стрілкою) з молодшої тетради до старшої (так зване півперенесення *HC* – Haalf Carry, прапорець-ознака якого спеціально для цього вводиться в деяких мікропроцесорах): при цьому молодша тетрада зменшується на 6_{10} – коригується додаванням 6_{10} до тієї тетради, з якої відбулося перенесення. (Перенесення, що виникають під час коригування, повторно не коригуються).

В іншому алгебричне додавання таке саме, як і в двійковій системі: в останній сумі, що утворюється після коригування, перенесення зі знакового розряду відкидається (рис. 1.10,*г*,*д*), підсумок одержується в тому ж коді, в якому зображено доданки. Для переведення суми, у разі потреби, з доповняльного в прямий код необхідно знов виконати операцію доповнення: відняти кожну тетраду суми від 9, а молодшу – від 10.

Таким чином, алгебричне додавання в ДДК 8421 виконується тетрадами за правилами двійкової арифметики з наступним коригуванням суми шляхом додавання до тетради числа 6_{10} в двох випадках: 1) коли в ній утворюється неприпустима комбінація та 2) якщо з неї виникло перенесення до старшої

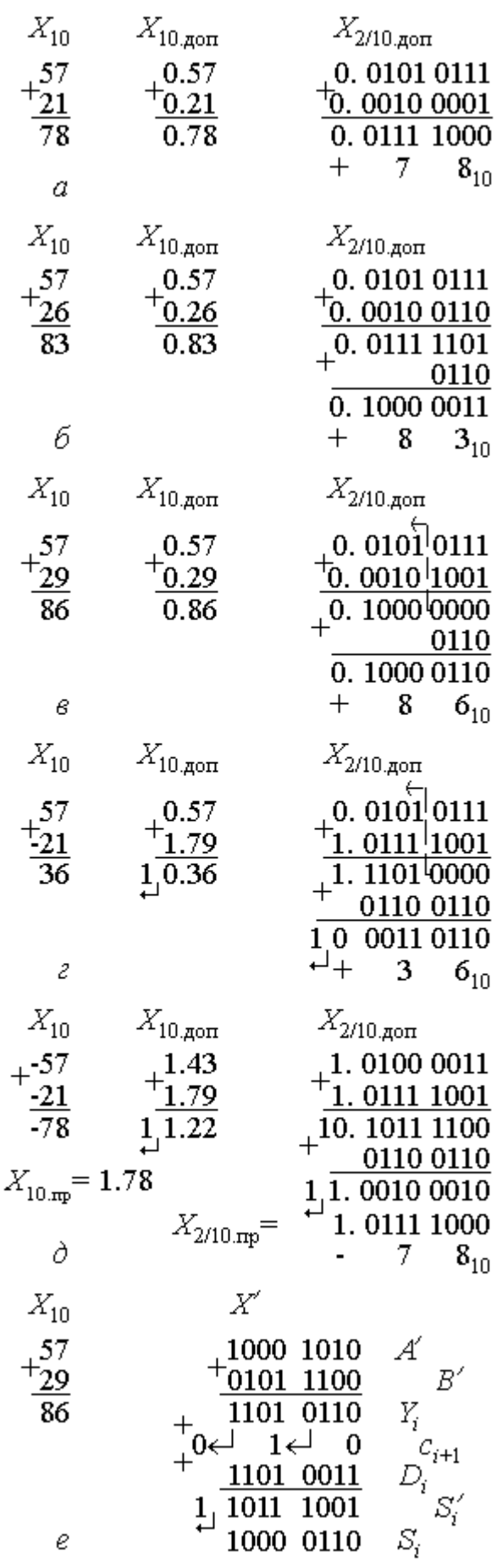


Рис. 1.10

тетради. Як і в двійковій арифметиці, перенесення зі знакового розряду в доповняльному коді відкидається, а в оберненому – додається до суми.

1.4.4. Алгебричне додавання в системі ДДК з надлишком 3

В інших ДДК коригування виконується за власними правилами. При цьому в самодоповняльних кодах (з надлишком 3, 2421) легше здійснюються операції доповнення, виявлення перенесень між тетрадами та коригування. Розглянемо особливості додавання в коді X' з надлишком 3 (див. табл. 1.6). Залежно від значень тетрад доданків A, B тут можливі два випадки.

1) Після додавання будь-яка тетрада суми в десятковій системі $A+B<10$ або в коді з надлишком 3: $Y_i=A'+B'=A+3+B+3<16$, тобто не утворюється перенесення до старшої тетради c_{i+1}. У цьому разі матимемо суму $Y_i=(A+B+3)+3=S'+3$, яка перевищує зображення в даному коді S_i на 3 – потрібне коригування шляхом віднімання з цієї тетради 3_{10}, що еквівалентно додаванню до тетради доповнення $D_i=2^4-3=13_{10}=1101_2$ з ігноруванням перенесення після коригування, якщо воно виникає.

2) Сума доданків або в нашому коді внаслідок чого утворюється перенесення до старшої тетради $c_{i+1}=1$, а в підсумку залишається решта суми $Y_i=A'+B'-16=A+3+B+3-16=A+B-10$, що менше потрібної $S_i=(A+B+3)--10$ на 3, тобто необхідно скоригувати тетраду додаванням до неї числа $D_i=3_{10}=0011_2$.

Обидва випадки ілюструються на рис. 1.10,*е*: після підсумовування доданків $A'+B'$ утворюються суми тетрад Y_i та перенесення c_{i+1} (подані стрілками). У прикладі з молодшої тетради перенесення утворюється, а зі старшої – не утворюється, тому ці тетради коригуються на величину D_i відповідно 0011_2 та 1101_2. Після додавання попередніх сум Y_i, перенесень c_{i+1} та корекцій D_i дістаємо суму S_i' у коді з надлишком 3, відкидаючи перенесення після коригування, якщо вони виникають (на рис. 1.10,*е* відокремлено перенесення зі старшої тетради). Перехід до ДДК 8421 відповідає шуканому підсумку $S_i=86_{10}$.

Так само виконується й алгебричне додавання в коді з надлишком 3 чисел зі знаком. Проте правила обернення та доповнення через самодоповняльність коду такі ж самі, як і для двійкового коду, що значно спрощує перетворення.

Таким чином, алгебричне додавання в коді з надлишком 3 виконується за правилами коригування: якщо з тетради не виникає перенесення до старшої, до неї додається число 13_{10}, а якщо виникає – число 3_{10}, причому при утворенні перенесень під час коригування їх нехтують.

1.4.5. Множення

Під час множення модуль добутку не залежить від знаків співмножників, тому для спрощення алгоритму множення співмножники зображають у

прямому коді і окремо визначають знак добутку операцією виключне АБО над знаковими розрядами та його модуль шляхом множення співмножників, вважаючи їх додатними, і, нарешті, до модуля приписують знак.

Обчислення модуля цифровими пристроями виконують способом множення “у стопчик”. У двійковій системі частковий добуток множеного на розряд множника можна дістати зсувом множеного ліворуч ("учнівський" спосіб) або праворуч. Аби можна було скористатися стандартними суматорами, додавання часткових добутків виконується по черзі.

Але якщо зсувати множене, для його зберігання і зсуву потрібно мати велику кількість розрядів, як і для суми часткових добутків. Для заощадження обладнання множник і множене лишають нерухомими і виконують *зсув попередніх сум* часткових добутків. За такого способу зсувів велика кількість розрядів має приділятися тільки для пристрою, де утворюються суми, отже, і остаточний модуль добутку. Взагалі, кількість розрядів добутку дорівнює сумі розрядів співмножників або вдвічі довша за їхню розрядність, якщо вони однакової довжини.

Проте під час наближених обчислень, зокрема, дробових чисел, довжину добутку обмежують довжиною співмножників або одного з них, що має більшу похибку. Для цього добуток вкорочують, відкидаючи молодші розряди або округлюють, додаючи до молодшого розряду, що залишається, старший із відкинутих.

Для додаткового скорочення розрядності обладнання *зсув попередніх сум* часткових добутків, починаючи з молошого розряду, виконують *праворуч* (рис. 1.11,*а*). Перший частковий добуток множеного на молодший розряд множника, позначений (1), зсувається праворуч на один крок, якщо наступний розряд множника дорівнює 1, або ще на один крок, якщо дорівнює 0 (у прикладі позначено стрілками). Після операції зсуву і додавання до наступного часткового добутку (2) утворюється попередня сума (під рискою), яка знов зсувається і додається до добутку (3) множеного на старший розряд множника. Остаточна сума є модуль шуканого добутку, до якого долучається ще знаковий біт, знайдений окремо. Якщо в нашому прикладі співмножники є

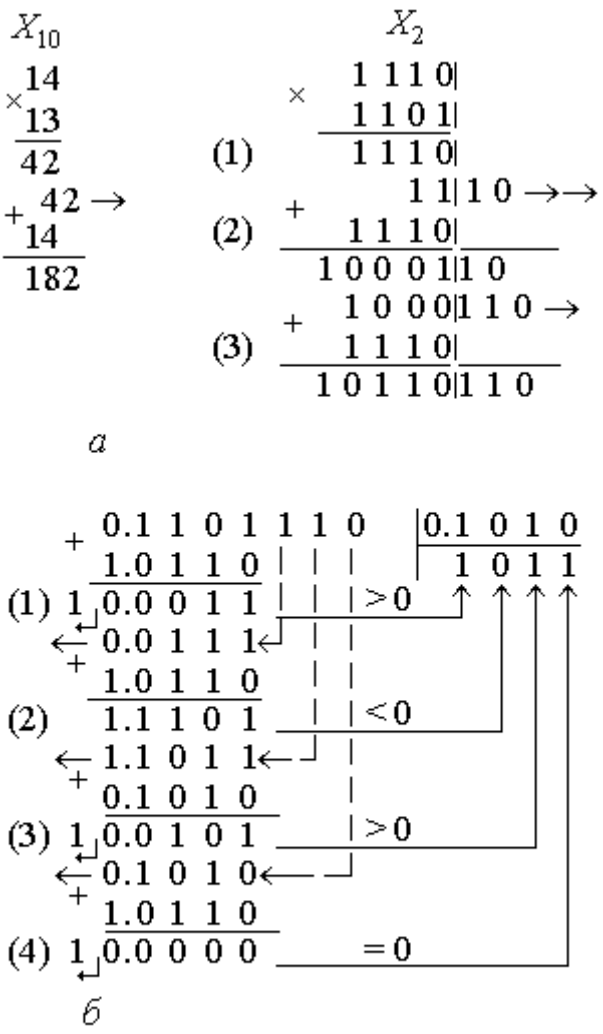


Рис. 1.11

$14_{10}=0.1110_{пр}$ і $-13_{10}=1.1101_{пр}$, маємо добуток $-182_{10}=1.10110110_{пр}$.

За необхідністю розрядність сум можна одразу зменшити, нехтуючи молодшими бітами, які під час зсуву виходять за межі розрядної сітки (показана пунктиром).

Існують і інші алгоритми множення, зокрема, у доповняльному або оберненому кодах з одночасним визначенням знака й модуля добутку. Але через те, що множення довгих чисел потребує багато кроків зсуву і додавання, воно може займати до 80% часу в пристроях обробки інформації і знижує їх швидкодію. Якщо це виявляється неприйнятним, особливо в радіотехнічних пристроях, вдаються до вживання апаратурних та алгоритмічних засобів пришвидшення множення.

Отже, у форматі зображення чисел з нерухомою комою множення зводиться до виконання операцій додавання та зсуву. Найпростішими є алгоритми множення в прямих кодах, коли знак та модуль добутку визначають окремо. Швидше здійснюється множення зсувом множеного, а менше обладнання потрібно, якщо зсувати часткові добутки, причому зсувом їх праворуч виконується одночасно операція округлен-ня.

Множення чисел $A = M_1 \cdot 2^{E_1}$ та $B = M_2 \cdot 2^{E_2}$ у форматі з рухомою комою виконується за правилами множення та додавання чисел з нерухомою комою: модуль добутку

$$X = M_1 M_2 \cdot 2^{E_1+E_2}$$

обчислюється множенням модулів мантис M_1M_2, його порядок – алгебричним додаванням порядків співмножників E_1+E_2, та знак – порівнянням знаків чисел A і B. Нарешті, як звичайно, може виконуватися операція нормалізації мантиси добутку.

Найпростіший спосіб множення в ДДК полягає в додаванні множеного таку кількість разів, яка дорівнює множнику. Для цього множник записується в лічильник, вміст якого декрементується (зменшується на одиницю) під час кожного додавання доти, поки не стане рівним нулю. Отримана сума й буде дорівнювати добутку. З огляду на те, що такий спосіб потребує багато часу, вдаються до різних алгоритмів пришвидшення множення, включаючи дуже складні. Тому майже кожний тип ЕОМ має свій спосіб множення в ДДК.

1.4.6. Ділення

У цифрових пристроях ділення можна виконати аналогічно ручному способу (рис. 1.11,*б*). У двійковій арифметиці воно полягає у відніманні дільника від діленого або наступних залишків від ділення та зсуву залишків з приписаним черговим розрядом діленого (показано стрілками: зсуваються розряди модуля, а знаковий розряд залишається нерухомим). Якщо різниця після віднімання додатна або дорівнює нулю (показано в дужках: 1, 3, 4), у

частку записують одиницю, а якщо різниця від'ємна (2), до частки вносять нуль.

Відмінність машинних методів полягає в тому, що віднімання замінюється алгебричним додаванням, причому після отримання від'ємного залишку (2) в черговому кроці ділення дільник додається не в доповняльному (1.0110), а в прямому (0.1010) коді. Крім того, замість зсувати дільник праворуч ("учнівський" спосіб) з метою заощадження обладнання його залишають нерухомим, а зсувають *залишки ліворуч* (показано стрілками). Процес повторюється до отримання нуля в залишку або здобуття потрібної кількості розрядів.

Таким чином, ділення чисел з нерухомою комою аналогічне множенню: знак визначається так само, а модуль обчислюється виконанням операцій додавання в доповняльному коді та зсуву. Застосовується ділення зі зсувом дільника праворуч (краща швидкодія) або залишків ліворуч (спрощується обладнання). З огляду на те, що операції ділення та множення є сумісні, їх виконують на спільному обладнанні, побудова якого визначається множенням, бо воно зустрічається на порядок частіше ділення.

У формі зображення чисел з рухомою комою ділення також аналогічне множенню з тією різницею, що мантиси ділять як числа з нерухомою комою, а порядки віднімають, тобто додають алгебрично.

Отже, усі арифметичні дії в двійковій системі зводяться до виконання простих операцій додавання двійкових чисел, їх обернення та зсуву за своїми алгоритмами. Це дозволяє уніфікувати й зменшити обладнання арифметичних пристроїв.

Запитання та вправи

1.1. Як записати число, що дорівнює основі будь-якої позиційної системи числення, цифрами цієї самої системи?

1.2. Якою кількістю інформації можна схарактеризувати пристрій: 1) здатний відобразити *а*) лише одне конкретне число, *б*) 128, *в*) 1024, *г*) 2^{24} різних двійкових чисел? 2) який вміщує *а*) 2, *б*) 12, *в*) 20, *г*) 32 двійкові розряди?

1.3. Скільки різних чисел можна зобразити за допомогою чотирьох 1) двійкових, 2) вісімкових, 3) десяткових, 4) шістнадцяткових розрядів? Запишіть у десятковій системі максимальне із зображуваних чисел.

1.4. Що називається машинним словом? В яких одиницях вимірюється його довжина? Що розуміють під терміном "машинний нуль"?

1.5. Що розуміють під ємністю адресованої пам'яті? Яку ємність адресованої пам'яті спроможна забезпечити система, в якій для адреси виділено: 1) 9, 2) 11, 3) 19, 4) 22 двійкові розряди, якщо в кожній комірці пам'яті зберігається 1 байт інформації?

1.6. У чому полягають позитивні якості та недоліки двох форм зображення чисел – із нерухомою і рухомою комою?

1.7. Яка кодова відстань забезпечує: 1) виявлення одноразових помилок, 2) виправлення одноразових помилок, 3) виявлення дворазових помилок, 4) виправлення дворазових помилок?

1.8. Чим відрізняються зоновий і спакований формати літеро-цифрових кодів? Наведіть приклади.

1.9. За якими ознаками можна індикувати переповнення розрядної сітки під час алгебричного додавання двійкових чисел? За якої умови переповнення не виникає?

1.10. Знайдіть X: 1) $3722.76_8=X_{16}$, 2) $133102.332_4=X_2$, 3) $7D2.F8_{16}=X_4$, 4) $11111010010.11111_2=X_8$, 5) $1000110.011_2=X_{10}$, 6) $46.6_{16}=X_{10}$, 7) $1012.12_4=X_{10}$, 8) $106.3_8=X_{10}$, 9) $250.75_{10}=X_4$, 10) $500.75_{10}=X_8$, 11) $1000.75_{10}=X_{16}$, 12) $125.75_{10}=X_2$, 13) $0.F...F_{16}=X_{10}$, 14) $1...100_2=X_{10}$, 15) $0.03...3_4=X_{10}$, 16) $7...70_8=X_{10}$, 17) $1210_4=X_5$, 18) $244.2_6=X_3$, 19) $400_5=X_4$, 20) $3201.1_3=X_6$. *Вказівка:* у вправах 13...16 подати точний розв'язок, користуючись степенями чисел, якщо через три крапки позначено 20 цифр поспіль.

1.11. Складіть блок-схему алгоритму Горнера перетворення чисел від системи числення з довільною основою до десяткової системи.

1.12. Розподіліть адреси чотирьох блоків пам’яті ємністю відповідно 32; 8; 2 та 1,5 Кбайт, починаючи з адреси 4000H.

1.13. Обчисліть діапазони зображуваних чисел (за модулем) у форматі: 1) з нерухомою комою, якщо модуль числа займає 15 біт; 2) з рухомою комою, якщо мантиса та порядок числа займають по 7 біт. Підрахуйте також відносну похибку зображення на кінцях цих діапазонів.

1.14. Нормалізуйте, де потрібно, пропоновані числа та подайте їх десяткові відповідники: 1) $(1{,}001101\cdot 2^{-101})_2$, 2) $(1{,}001101\cdot 2^{-110})_2$, 3) $(0{,}1001101\cdot 2^{11})_2$, 4) $(0{,}001001101\cdot 2^{-111})_2$.

1.15. Зобразіть десяткове число 196 такими двійково-десятковими кодами: 1) 8421; 2) 2421; 3) 7421; 4) 8421 з надлишком 3; 5) 8421 з розрядом парності (8421P); 6) 2 з 5; 7) 3X+2. У чому полягають особливості цих ДДК, з якою метою вони застосовуються?

1.16. Виконайте алгебричне додавання за правилами двійкової арифметики 1) у доповняльному та 2) в оберненому кодах таких десяткових чисел: *а*) 64+63, *б*) 79-31, *в*) 25-100, *г*) -64-36, а також у системі ДДК типу: 3) 8421 та 4) з надлишком 3 таких чисел: *а*) 64+18, *б*) 79+18, в) 64-18, г) 18-79, д) -79-18, е) -64-11, є) 64+11, *ж*) 27+59.

1.17. Виконайте множення чисел 25·(-19) та ділення (-182):14 за правилами двійкової арифметики.

Глава 2

ЛОГІЧНІ ОСНОВИ ЦИФРОВОЇ ТЕХНІКИ

§2.1. АЛГЕБРА ЛОГІКИ

2.1.1. Загальні відомості

Сукупність сигналів на входах цифрового пристрою в кожну мить часу становить певне двійкове число, а сигнал на кожному з його виходів залежить від цієї сукупності за чітко визначеними правилами. У цьому розумінні пристрій є перетворювачем цифрової інформації, його вхідні сигнали – *логічними* (булевими, двійковими) *змінними* (аргументами) x_i, а вихідні – *логічними* (булевими, перемикальними) *функціями*:

$$y_j=f_j(x_1,x_2,...,x_m).$$

Природно, логічні змінні та функції як підсумок виконання певної операції над ними можуть набувати в якусь мить часу одного з двох інформаційних значень: логічного 0 (лог. 0) або логічної 1 (лог. 1). З часом значення змінних, а, отже, і функцій змінюються, а якщо якийсь біт інформації, наприклад, на вході x_i залишається весь час сталим, його називають *константою* нуля або одиниці і позначають часто знаком тотожності: $x_i \epsilon 0$ або $x_i \epsilon 1$. Якщо в двох змінних значення змінюються майже одночасно й вони завжди є протилежними, тобто змінні *парафазно* відображають один і той самий сигнал, то одну з них називають *прямою* x_i, а другу – *інверсною* $\overline{x_i}$.

Абстрагуючись від фізичних процесів у схемі, її елементної бази, зручно функціонування цифрових пристроїв та моделювання інформаційних перетворень у них розглядати за допомогою двоцифрової *алгебри логіки* (булевої алгебри). Для цього, передусім, потрібно якимось чином визначити залежність кожного вихідного сигналу від вхідних, тобто задати його логічну функцію. Первісними є словесний і табличний *способи задання функції*, з яких вже можна дістати її зображення у вигляді логічного (булевого) виразу. Практично найчастіше використовується задання за допомогою *таблиці відповідності* (істинності, перемикальної). Зручною є така її побудова (див., наприклад,

табл. 1.10), коли кожна змінна і функція розташовані в колонку; одночасно змінні утворюють рядки – *вхідні кортежі* (набори вхідних змінних, слова вхідної абетки), які є їх двійковими відповідниками. Якщо змінні розташувати в природному порядку, як і двійкові числа – від старшого розряду числа до молодшого, вони займатимуть стале положення незалежно від їх кількості на графічній моделі – діаграмі, що зручно під час синтезу функцій. Крім того, літерою *i* часто позначатимемо десятковий код вхідного кортежу для зручності посилань.

З усіх $k=2^m$ кортежів – можливих наборів змінних від 0 до 2^m-1 (де m – кількість змінних) – можна утворити 2^k різних функцій. Деякі з них є *виродженими* – це константи нуля чи одиниці і такі, що повторюють одну із змінних або функцію від меншої кількості аргументів, а деякі не є самостійними, якщо відрізняються лише порядком розташування змінних. Тому далі розглядаються лише дві функції однієї змінної (одномісні операції) та 4 пари оригінальних функцій двох змінних (двомісні або бінарні операції); до трьох з цих пар зводяться функції і більшої кількості аргументів. Тут і далі користуватимемося, здебільшого, лаконічними термінами алгебри логіки, а паралельні назви – літературні варіанти – подаватимемо в дужках.

2.1.2. Основні логічні функції

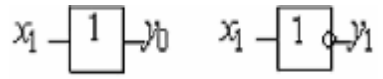
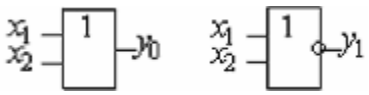
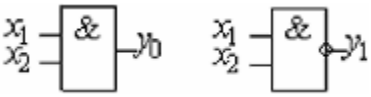
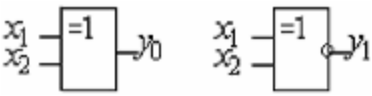
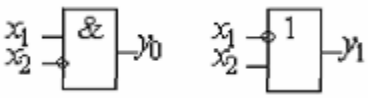
1. Означення. У табл. 2.1 усі функції (у дужках англійською мовою зазначено їх скорочені назви, що використовуються під час програмування) подано парами: у лівих вихідних колонках таблиці відповідності та умовних графічних позначень наведено пряму функцію y_0, а в правих – інверсну y_1.

Лише одна з наведенних операцій – *функція повторення* (теж, твердження) $y_0=x_1$ (читається: як x_1) є тривіальна, проте повторювач або буферний підсилювач, що її виконує, часто використовується для підвищення навантажівної здатності цифрових пристроїв та сполучення їх із шинами. Друга одномісна операція – *функція НЕ* (логічне заперечення, інверсія, доповнення) означає обернення аргументу x_1, тобто зміну його логічного значення на протилежне. Інверсія позначається у формулах рискою над змінними: $y_1=\overline{x_1}$ (читається: не x_1), а на умовних графічних позначеннях інвертора (елемента НЕ) і інших елементів – маленьким колом.

Функція АБО (логічне додавання, логічна сума, диз'юнкція, об'єднання) – це операція збирання інформації від кількох джерел до одного каналу: на виході y_0 з'являється рівень лог. 1, якщо він надходить хоча б з одного з входів. Логічне додавання відрізняється від арифметичного останнім рядком таблиці: 1+1=1, позначається $y_0=x_1+x_2=x_1 \vee x_2$ (читається: x_1 або x_2), реалізується елементом

АБО (елементом збирання, диз'юнктором). З інверсією на виході утворюється *функція АБО-НЕ* (логічне додавання із запереченням, стрілка Пірса, заперечення диз'юнкції, доповнення об'єднання): $y_1 = \overline{x_1 + x_2} = \overline{x_1 \vee x_2}$ (читається: ні x_1, ані x_2), виконується елементом АБО-НЕ (елементом Пірса).

Таблиця 2.1

Логічна функція		Таблиця відповідності		Умовне графічне позначення
Назва	Позначення	$x_2\ x_1$	$y_2\ y_1$	
Повторення	$y_0 = x_1$	0	0 1	
НЕ (NOT)	$y_1 = \overline{x}_1$	1	1 0	
АБО (OR)	$y_0 = x_1 + x_2$	0 0 0 1	0 1 1 0	
АБО-НЕ (NOR)	$y_1 = \overline{x_1 + x_2}$	1 0 1 1	1 0 1 0	
І (AND)	$y_0 = x_1 x_2$	0 0 0 1	0 1 0 1	
І-НЕ (NAND)	$y_1 = \overline{x_1 x_2}$	1 0 1 1	0 1 1 0	
Виключне АБО (XOR)	$y_0 = x_1 \oplus x_2$	0 0 0 1	0 1 1 0	
Виключне АБО-НЕ (XNOR)	$y_1 = \overline{x_1 \oplus x_2}$	1 0 1 1	1 0 0 1	
Заборона	$y_0 = x_1 \setminus x_2$	0 0 0 1	0 1 1 0	
Імплікація	$y_1 = x_1 \rightarrow x_2$	1 0 1 1	0 1 0 1	

Функція І (логічне множення, добуток, кон'юнкція, перетин) – операція визначення збігу інформації на всіх входах; вона не відрізняється від двійкового множення одноцифрових чисел: набуває значення лог. 1, якщо високий рівень збігається на всіх входах. У виразах позначається $y_0 = x_1 x_2 = \overline{x_1 \cap x_2}$ (читається: x_1 і x_2), а на умовних позначеннях – знаком & (амперсанд, and). Виконується операція елементом І (елементом збігу, кон'юнктором). Симетрична їй функція І-НЕ (логічне множення із запереченням, риска Шеффера, заперечення кон'юнкції, несумісність): $y_1 = \overline{x_1 x_2} = \overline{x_1 \cap x_2}$ (читається: не x_1 або не x_2), реалізується елементом І-НЕ (елементом Шеффера). Логічні функції АБО, І та їх заперечення можуть виконуватися над довільною кількістю змінних.

Функція виключне АБО (додавання або сума за модулем 2, нерівнозначність, антиеквівалентність) відрізняється від функції АБО тим, що під час додавання

кожної пари одиниць утворюється нуль; найчастіше операцію над багатьма змінними називають додаванням за модулем 2, а над двома аргументами – виключним АБО. Позначається функція за допомогою символа псевдо-плюс: $y_0 = x_1 \oplus x_2 = x_1\overline{x_2} + \overline{x_1}x_2$ (читається: або x_1, або x_2; x_1 або x_2 виключно), а на графічних зображеннях – символом *M*2 та (для двовходових елементів) позначкою =1. Елемент, що її реалізує, з довільною кількістю входів звичайно азивають суматором за модулем 2, а двовходовий, найчастіше, - елементом виключне АБО (елементом нерівнозначності). Суміжна функція *виключне АБО-НЕ* (рівнозначність, еквівалентність): $y_1 = \overline{y}_0 = \overline{x_1 \oplus x_2} = x_1 \sim x_2$ (читається: x_1 як x_2) виконується цифровим пристроєм, який теж називається елементом виключне АБО-НЕ (елементом рівнозначності, еквівалентором).

Функція заборона (НІ, збіг із забороною, заперечення імплікації, різниця) означає, що вхідна змінна x_1 надходить до виходу лише за відсутності заборони x_2 (якщо x_2=0), інакше на виході є рівень лог. 0. Найчастіше під цією функцією розуміють логічне множення з інверсією по одному з двох входів: $y_0=x_1\backslash x_2=x_1\overline{x_2}$ (читається: x_1, але не x_2; x_1 і не x_2). Проте інколи її зручно тлумачити як своєрідне логічне віднімання $x_1\backslash x_2=x_1-x_2$: з колонки x_1 вилучаються одиниці (якщо вони є) стовпця x_2. Реалізується вона елементом заборони (елементом НІ, елементом І з інверсним входом). *Функція імплікація* (розділення із забороною, селекція) отримала назву з логіки висловлень через зв'язку "якщо x_1=1, то $y_1=x_2$" (інакше y_1=1), проте часто має тлумачення логічного додавання з інверсією одного з двох входів (або функції заборони із запереченням по виходу): $y_1 = x_1 \to x_2 = \overline{x_1} + x_2$ (читається: якщо x_1, то x_2; не x_1 або x_2). Елемент, що реалізує функцію, є імплікатор (селектор).

2. Функціонально повна система. Не всі перелічені логічні функції є незалежні. Такий їх набір, за допомогою якого можна утворити логічну функцію будь-якої складності, становить *функціонально повну систему* або *базис*. Система функцій НЕ, АБО, І утворює *булів базис*.

Проте й ця система є надлишкова: вона лишається повною й у тому разі, якщо вилучити з неї один з елементів, крім НЕ. *Мінімально повною* є система, з якої не можна вилучити жодної функції без утрати її повноти. Можна утворити функціонально повні системи, у тому числі й мінімальні, з різних наборів функцій, але обов'язково в них має бути інверсія. Практичного значення крім булевого набули базиси з двох елементів: 1) І, НЕ та 2) АБО, НЕ, а частіше навіть з одного елемента: 1) І-НЕ та 2) АБО-НЕ; через це елементи І-НЕ та АБО-НЕ називають *універсальними*. Проте для зменшення кількості елементів, необхідних для побудови пристрою, забезпечення гнучкості проектування викори-

стовують і складніші функції.

Отже, алгебра логіки оперує з логічними або двійковими змінними й функціями, які можуть набувати двох значень: 0 або 1. Перетворення в алгебрі логіки з метою аналізу, синтезу, доведення положень тощо здійснюють, користуючись, головним чином, основними логічними функціями НЕ, АБО, І, але під час практичної реалізації цифрових пристроїв широко застосовують елементи, що виконують комбіновані функції І-НЕ, АБО-НЕ, І-АБО-НЕ, виключне АБО тощо.

2.1.3. Співвідношення алгебри логіки

Основні співвідношення (у літературі існують також їх назви: аксіоми або тотожності, закони або теореми, наслідки законів або правила) розглядаються в булевій алгебрі, здебільшого, відносно функцій АБО та І, а справедливість тих чи тих формул відносно інших функцій з'ясовується окремо. У табл. 2.2 формули пронумеровано цифрами, що відповідають назвам співвідношень, і літерами *а*, *б* для функцій АБО та І, а з літерою *в* для прикладу наведено аналогічні співвідношення для функції виключне АБО.

1. Аксіоми 1...5 безпосередньо випливають із таблиць відповідності основних функцій і часто застосовуються в практиці (на рис. 2.1 нумерація формул зазначена над рисунками в дужках).

Подвійне заперечення 1 використовується для відновлення змінної *x*, наприклад, у схемах збільшення коефіцієнта розгалуження (рис. 2.1,*а*) за недостатньої навантажівної здатності елемента. На рис. 2.1,*б*,*в*,*г* наведено принципи побудови інверторів за допомогою аксіом; ті ж самі принципи застосовуються й для підімкнення зайвих входів мікросхем (підімкнення за аксіомами 2*а*,*б* менше навантажує джерело сигналу).

Крім того, у мікропроцесорах аксіоми застосовуються для програмованої зміни слова або окремих його бітів (на рис. 2.1,*д* у дужках зазначено, яка операція має міститись для цього в коді відповідної команди). У наведеному прикладі у вихідному слові $96_{2/10}$, розряди якого підлягають зміні, за допомогою дібраного з цією метою другого операнда $0F_{16}$ (його вводять до складу команди) можна встановити одиниці в молодшій тетраді без зміни старшої виконанням операції АБО, обнулити старшу тетраду без зміни молодшої виконанням операції І та зінвертувати розряди молодшої тетради без зміни старшої операцією виключне АБО.

Дозвіл або блокування проходження змінної на підставі аксіом 2*а*,*б* і 3*а*,*б* широко використовується для синхронізації пристроїв (рис. 2.1,*е*). Для блокування змінних x_1, x_2 на спільних входах елементів АБО-НЕ встановлюють рівень лог. 1, а елеметів І-НЕ – лог. 0. Тоді, незалежно від сигналів на інформаційних входах x_1, x_2 на виходах елементів буде постійний рівень

відповідно лог. 0 та лог. 1. З надходженням активного рівня синхросигналу відповідно $\overline{C}=0$ або $C=1$ змінні x_1, x_2 з'являються на виходах (з інверсією).

2. Закони. В алгебрі логіки широко використовуються чотири *закони* 6...9 щодо виконання логічних операцій. Переставний закон 6 свідчить про рівнозначність інформаційних входів логічних елементів АБО, І, виключне АБО. Проте, природно, закон не виконується для елементів заборони та імплікатора, бо один з їх входів інверсний і його позначення має чітко відрізнятися від прямого. Сполучний закон 7 використовується з метою розширення кількості змінних в операціях АБО, І, виключне АБО шляхом драбинчастого каскадування елементів на кшталт рис. 2.1,*є*, якщо в елементі бракує входів, тобто для збільшення коефіцієнта об'єднання входів.

Таблиця 2.2

Співвідношення	АБО (*а*)	І (*б*)	Виключне АБО (*в*)
Аксіоми:			
1. Подвійне заперечення	$\overline{\overline{x}}=x$		
2. Дозвіл	$x+0=x$	$x\cdot 1=x$	$x\oplus 0=x$
3. Блокування (інвертування)	$x+1=1$	$x\cdot 0=0$	$(x\oplus 1=\overline{x})$
4. Повторення	$x+x=x$	$x\cdot x=x$	$x\oplus x=0$
5. Доповнення	$x+\overline{x}=1$	$x\cdot\overline{x}=0$	$x\oplus\overline{x}=1$
Закони:			
6. Переставний	$x_1+x_2=x_2+x_1$	$x_1x_2=x_2x_1$	$x_1\oplus x_2=x_2\oplus x_1$
7. Сполучний	$x_1+x_2+x_3=$ $=x_1+(x_2+x_3)$	$x_1x_2x_3=x_1(x_2x_3)$	$x_1\oplus x_2\oplus x_3=$ $=x_1\oplus(x_2\oplus x_3)$
8. Розподільчий	$x_1(x_2+x_3)=$ $=x_1x_2+x_1x_3$	$x_1+x_2x_3=$ $=(x_1+x_2)(x_1+x_3)$	$x_1(x_2\oplus x_3)=$ $=x_1x_2\oplus x_1x_3$
9. Двоїстості (де Морґана)	$x_1+x_2=\overline{\overline{x}_1\overline{x}_2}$ $\overline{x_1+x_2}=\overline{x}_1\overline{x}_2$	$x_1x_2=\overline{\overline{x}_1+\overline{x}_2}$ $\overline{x_1x_2}=\overline{x}_1+\overline{x}_2$	
Наслідки:			
10. Склеювання	$x_1x_2+x_1\overline{x}_2=x_1$	$(x_1+x_2)(x_1+\overline{x}_2)=$ $=x_1$	$x_1x_2\oplus x_1\overline{x}_2=x_1$
11. Поглинання	$x_1+x_1x_2=x_1$	$x_1(x_1+x_2)=x_1$	$x_1\oplus x_1x_2=x_1\overline{x}_2$
12. Заступлення	$x_1+\overline{x}_1x_2=x_1+x_2$	$x_1(\overline{x}_1+x_2)=x_1x_2$	$x_1\oplus\overline{x}_1x_2=x_1+x_2$

Розподільчий закон 8 дозволяє скоротити кількість елементів, потрібних для виконання логічних функцій (рис. 2.2,*а*,*б*). Якщо для функції АБО він є звичний,

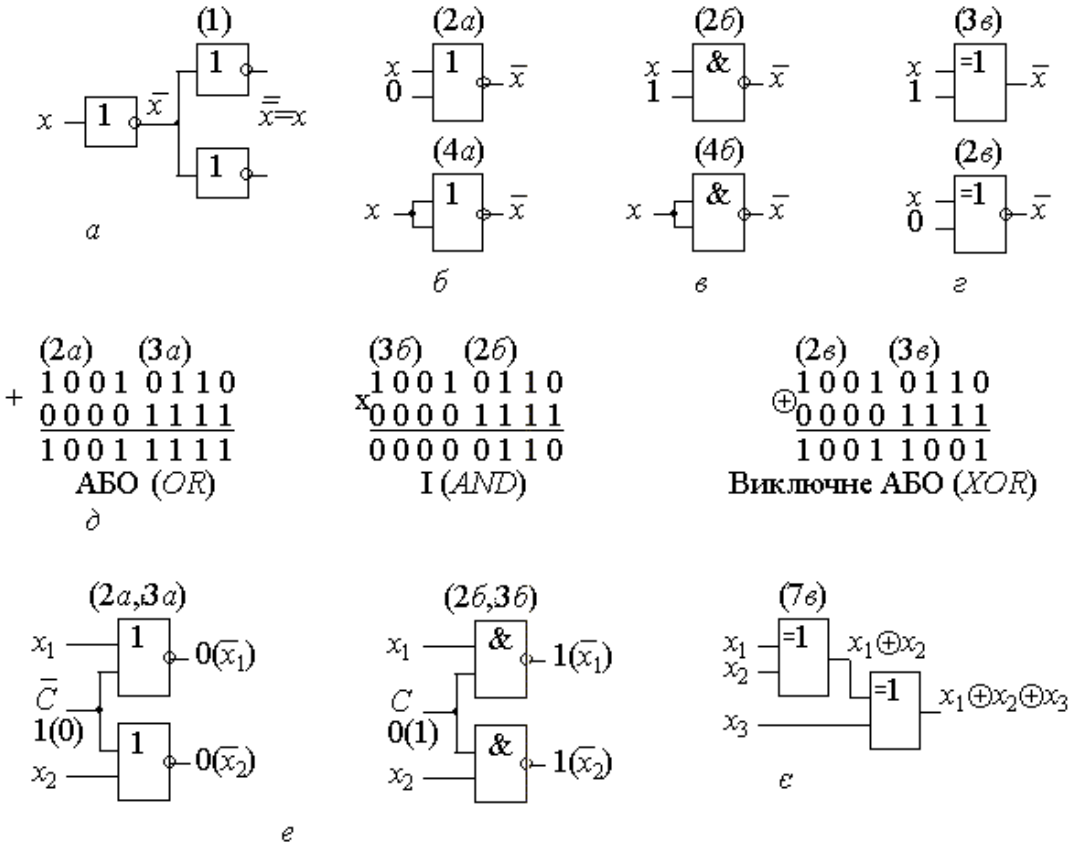


Рис. 2.1

то для функції І має форму, відсутню в звичайній алгебрі. Перевірити формулу 8*б*, як і інші співвідношення, можна методом прямої індукції: підставляючи у формулу всі можливі комбінації змінних, наприклад, за таблицею відповідності, переконуємося в рівності лівої та правої частин виразу для кожного набору змінних.

Інший шлях доведення (який застосовується також для спрощення функцій) – методом тотожних перетворень зводимо одну частину рівності до іншої. Для стислості будемо під елементами виразу зазначати нумерацію співвідношеннь, на підставі яких зроблені перетворення. Для розподільчого закону 8*б* маємо:

$$x_1+x_2x_3=x_1.1+x_2x_3=x_1(1+x_2+x_3)+x_2x_3=(x_1+x_1x_2+x_1x_3)+x_2x_3=$$
$$\quad 2б \qquad\qquad 3а \qquad\qquad 8а$$
$$=x_1x_1+x_1x_2+x_1x_3+x_2x_3=(x_1+x_2)\cdot(x_1+x_3),$$
$$\quad 4б \qquad\qquad 8а$$

що й треба було довести.

Закони двоїстості 9 (закони інверсії, правила або закони де Морґана) для зручності записано в двох формах на підставі аксіоми 1. Із цих законів випливає двоїстість елементів АБО та І (рис. 2.2,*в,г*). У *позитивній логіці*, якою ми користуємось за угодою (за умовчанням вважаємо, що завжди лог. 1 кодується висо-

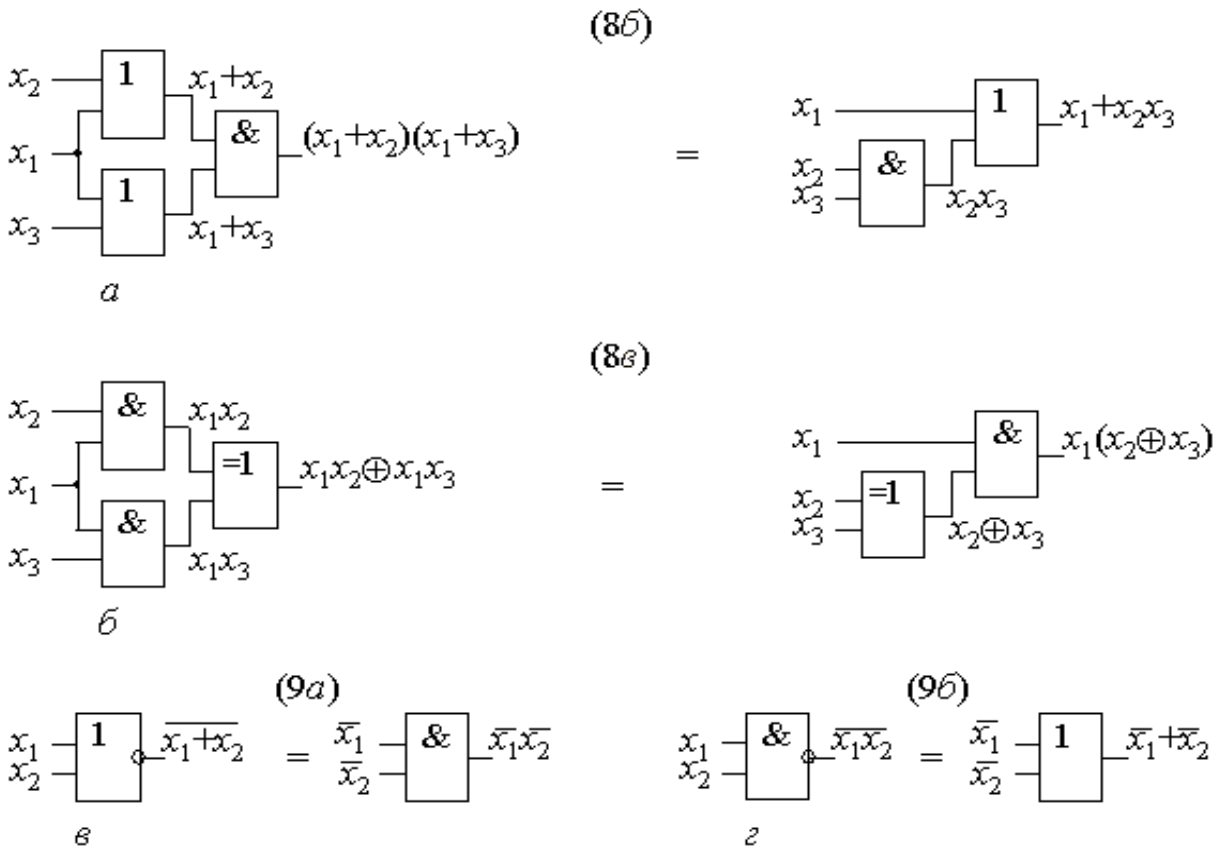


Рис. 2.2

ким рівнем напруги, а лог. 0 – низьким), елементи АБО та І виконують однойменну логічну функцію, проте в *негативній логіці* (лог. 1 – відповідає низькому рівневі напруги, а лог. 0 – високому), навпаки, елемент АБО можна вважати елементом збігу нулів на його входах (при цьому на виході буде теж нуль), а елемент І – елементом збирання нульових сигналів (на його виході є нуль, якщо хоча б один з аргуметів нульовий). Із законів де Морґана можна зробити корисне узагальнення:

$$y = x_1\bar{x}_2 + x_3\bar{x}_4; \quad \bar{y} = (\bar{x}_1 + x_2)(\bar{x}_3 + x_4), \tag{2.1}$$

тобто *взаємна заміна* в логічному виразі будь-якої функції *y* прямих і інверсних змінних та знаків логічного додавання і множення спричиняє її *заперечення*. Наприклад, $y = \overline{(x_1 + \overline{x_2})(\overline{x_1} + x_2)} = \overline{x_1}x_2 + x_1\overline{x_2}$

3. Наслідки. Слід відзначити, що закони 6...9 дійсні для довільної кількості аргументів. Це стосується й *наслідків* 10...12, які часто вживаються для спрощення функцій, їх синтезу, інших тотожних перетворень. Проте процес перетворень залежить від індивідуального підходу, досвіду тощо. Про це свідчить, наприклад, доведення наслідку 12*а* двома шляхами:

1) $y = x_1 + \overline{x_1}x_2;\quad \overline{y} = \overline{x_1}\left(x_1 + \overline{x_2}\right) = x_1\overline{x_1} + \overline{x_1}\,\overline{x_2} = \overline{x_1}\,\overline{x_2} = \overline{x_1 + x_2};\quad y = x_1 + x_2;$

(2.1) (8*а*) (5*б*) (9*а*) 1

2) $y = x_1 + \overline{x_1}x_2 = \left(x_1 + \overline{x_1}\right)\left(x_1 + x_2\right) = 1\cdot\left(x_1 + x_2\right) = x_1 + x_2.$

(8*б*) (5*а*) (2*б*)

Таким чином, перетворення логічних функцій та схем виконуються за розглянутими співвідношеннями алгебри логіки. На відміну від звичайної, у булевій алгебрі всі співвідношення симетричні відносно функцій логічного додавання та множення. Аби запобігти помилок щодо послідовності виконання операцій, слід діяти за погодженням: найстаршою є операція логічного заперечення (бо заперечення суми аргументів не дорівнює сумі їх заперечень), за нею йде логічне множення і найнижчою є операція логічного додавання. Послідовність дій можна змінити, як звичайно, за допомогою дужок. З огляду на аксіоми 4а,б в алгебрі логіки множення на коефіцієнти, відмінні від 0 та 1, а також піднесення до степеня не мають сенсу.

Тотожні перетворення, особливо складних логічних виразів, для їх спрощення доцільно виконувати формалізованими методами й лише після цього, у разі потреби, завершувати ручним способом.

2.1.4. Стандартні форми логічних функцій

1. Означення. Шляхом тотожних перетворень за законами алгебри логіки можна утворити безліч еквівалентних булевих виразів будь-якої функції. Аби вибрати з-поміж них оптимальну та алгоритмізувати процес перетворень, вдаються до надання логічним виразам стандартної форми.

Для прикладу розглянемо логічну функцію, зображену в таких еквівалентних формах:

$y_0 = \overline{x_1 \oplus x_2} \to \left(x_2 \setminus x_3\right);$

$y_1 = x_1\overline{x_2} + x_2\left(\overline{x_1} + \overline{x_3}\right);$

$y_2 = x_1\overline{x_2} + x_2\overline{x_1x_3};$

$y_3 = x_1\overline{x_2} + \overline{x_1}x_2 + x_2\overline{x_3};$

$y_4 = x_1x_2\overline{x_3} + x_1\overline{x_2}x_3 + x_1\overline{x_2}\,\overline{x_3} + \overline{x_1}x_2x_3 + \overline{x_1}x_2\overline{x_3}$

$y_5 = \left(x_1 + x_2 + x_3\right)\left(x_1 + x_2 + \overline{x_3}\right)\left(\overline{x_1} + \overline{x_2} + \overline{x_3}\right)$

Вирази y_0, y_1 подано в нестандартній, мішаній формі, бо в стандартній формі вираз має містити лише елементи булевого базису у вигляді або суми добутків (диз'юнкції кон'юнкцій), або добутку сум (кон'юнкції диз'юнкцій). Саме такою є функція y_2, зображена в *диз'юнктивній* формі (ДФ), тому що вона є диз'юнкцією над елементами виразу (*термами*), кожний з яких містить тільки

операції кон'юнкції та інверсії. На відміну від неї, функція y_3 подана в *диз'юнктивній нормальній* формі (ДНФ), бо її терми містять операції інверсії над окремими змінними, але не над виразами. І, нарешті, функція y_4 зображена в *досконалій диз'юнктивній нормальній* формі (ДДНФ), тому що кожний її терм є кон'юнкцією над усіма *літералами* (змінними або їх інверсіями) вхідного кортежу.

Згідно з дуальністю алгебри логіки аналогічно можна зобразити функцію в кон'юнктивній (КФ), кон'юнктивній нормальній (КНФ) та досконалій кон'юнктивній нормальній формі (ДКНФ). ДКНФ функції являє собою кон'юнкцію термів, кожний з яких є диз'юнкція над усіма літералами, наприклад, як у виразі y_5.

З огляду на те, що одна й та сама змінна не може бути поданою в жодному термі двічі (згідно з аксіомами це не має сенсу), логічна функція в ДДНФ або ДКНФ має тільки *єдине зображення*, тому вона є зручною стандартною моделлю репрезентування функції у формалізованих методах перетворень.

Таблиця 2.3

x_1	x_2	y	$\bar{y}$	Мінтерми M_i		Макстерми M_i'	
				y=1 за умови:	$\bar{y}$=1 за умови:	y=0 за умови:	$\bar{y}$=0 за умови:
0	0	0	1		$M_0=\bar{x}_1\bar{x}_2$	$M_0'=x_1+x_2$	
0	1	1	0	$M_1=\bar{x}_1x_2$			$M_1'=x_1+\bar{x}_2$
1	0	1	0	$M_2=x_1\bar{x}_2$			$M_2'=\bar{x}_1+x_2$
1	1	0	1		$M_3=x_1x_2$	$M_3'=\bar{x}_1+\bar{x}_2$	
Стандартні форми				ДДНФ		ДКНФ	
				$y=x_1\bar{x}_2+\bar{x}_1x_2$	$\bar{y}=x_1x_2+\bar{x}_1\bar{x}_2$	$y=(x_1+x_2)\times$ $\times(\bar{x}_1+\bar{x}_2)$	$\bar{y}=(x_1+\bar{x}_2)\times$ $\times(\bar{x}_1+x_2)$

2. Мінтерми й макстерми. Розглянемо для прикладу функцію, задану таблицею відповідності (табл. 2.3). Зобразімо її спочатку за допомогою добутків усіх літералів. Виходимо з того, що на будь-якому вхідному кортежі функція як добуток літералів набуває значення y=1 лише одним способом: до добутку входять змінні без інверсії, якщо в цьому кортежі вони мають значення 1, і з інверсією, якщо їх значення дорівнює 0. Такі добутки називають *мінтермами* (конституентами одиниці); у прикладі їх два: $M_1=\overline{x_1}x_2$, $M_2=x_1\overline{x_2}$. Отже, мінтерми утворюються за одиничними значеннями функції як добутки літералів

$$M_j=\bigwedge_{i=1}^{n}\tilde{x}_i,$$

де $\tilde{x}_i$ – літерал, m – кількість змінних. ерез те, що кожний мінтерм перетворює функцію на одиницю тільки на своєму кортежі, а на всіх інших кортежах він дорівнює нулю, усю функцію можна зобразити як логічне додавання мінтермів

$$y = \bigvee_{j=1}^{k} M_j = \bigvee_{j=1}^{k} \bigwedge_{i=1}^{m} \tilde{x}_i,$$

де k – кількість мінтермів, тобто одиниць у колонці функції її таблиці відповідності. У прикладі маємо відомий вираз для функції виключне АБО

$$y = x_1 \oplus x_2 = x_1\overline{x_2} + \overline{x_1}x_2, \qquad (2.2)$$

зображеної в ДДНФ.

Розмірковуючи аналогічно, з таблиці легко знайти також вираз для інверсної функції в ДДНФ за нулевими її значеннями (тобто одиницями в колонці y):

$$\overline{y} = \overline{x_1 \oplus x_2} = x_1x_2 + \overline{x_1}\,\overline{x_2}. \qquad (2.3)$$

Так само можна зобразити функцію в ДКНФ, якщо виходити з добутку сум літералів. Диз'юнкція літералів, де функція перетворюється на нуль, назиається *макстермом* (конституентою нуля), тому до макстерма змінна входить без інверсії, якщо її значення в кортежі дорівнює нулю, інакше – з інверсією. У прикладі є два макстерми: $M_0' = x_1 + x_2$, $M_3' = \overline{x_1} + \overline{x_2}$. Або взагалі

$$M_j' = \bigvee_{i=1}^{m} \tilde{x}_i,$$

а вся функція зображається в ДКНФ через кон'юнкцію макстермів

$$y = \bigwedge_{j=1}^{k} M_j' = \bigwedge_{j=1}^{k} \bigvee_{i=1}^{m} \tilde{x}_i,$$

де k – кількість макстермів, тобто нулів у колонці функції її таблиці відповідності. Отже, у прикладі маємо ДКНФ

$$y = x_1 \oplus x_2 = (x_1 + x_2)(\overline{x_1} + \overline{x_2}). \qquad (2.4)$$

Аналогічно можна знайти вираз для інверсної функції в ДКНФ за одиничними значеннями (тобто нулями в її колонці):

$$\overline{y} = \overline{x_1 \oplus x_2} = (x_1 + \overline{x_2})(\overline{x_1} + x_2) \qquad (2.3)$$

Таким чином, будь-яка логічна функція зображається в ДДНФ або ДКНФ єдиним способом, тому ці форми є вихідними для подальшого аналізу й синтезу. Інші стандартні форми ДНФ і КНФ можуть бути простішими, ніж відповідні досконалі форми, проте в них функції зображаються багатьма способами, що утруднює алгоритмізацію їх перетворень. Принципово обидві досконалі форми рівноцінні, але ДДНФ є зручніша для побудови пристроїв у базисі І-НЕ, а ДКНФ – у базисі АБО-НЕ. Через більшу поширеність елементів І-НЕ у складі сучасних мікросхем, а також більш звичні співвідношення алгебри логіки (формули з літерою *а* в табл. 2.2), частіше вживається ДДНФ зображення функцій.

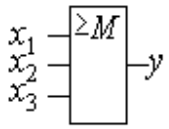
3. Перехід до досконалих форм від таблиці відповідності. Під час логічного проектування доводиться користуватися різними формами зображення функціонування ЦП: таблиці відповідності, вирази логічної функції того чи іншого типу, діаграми й ін. Ці форми щільно пов'язані між собою і можуть розглядатися як математичні моделі ЦП, бо віддзеркалюють різними мовами один і той самий зв'язок вихідного сигналу зі вхідними. Розглянемо способи перетворення між поширеними формами зображення функцій.

Від *словесного* або іншого способу задання логічної функції досить легко перейти до формального її опису. Для цього необхідно: 1) з'ясувати, скільки входів та виходів має пристрій, 2) встановити, які значення мають функції на кожному з виходів за всіх можливих сполучень вхідних змінних і 3) скласти таблицю відповідності або безпосередньо ДДНФ функції.

Припустимо, логічна функція задана словесно таким чином: на виході пристрою встановлюється рівень лог. 1, якщо не менш, ніж на двох із трьох його входів діють рівні лог. 1. За таким описом будуємо таблицю відповідності (рис. 2.3,*а*), яка містить три змінні та одну функцію *y*, за одиничними значеннями якої безпосередньо з таблиці записуємо її ДДНФ (подано стрілками). Така функція реалізується *мажоритарним елементом*, загальне умовне позначення якого наведено на рис. 2.3,*б* (у прикладі *M*=2).Так само за нульовими значеннями функції легко перейти до її ДКНФ.

i	x_3	x_2	x_1	$\overline{\overline{x_1}+\overline{x_2}}$	$\overline{\overline{x_1}+\overline{x_3}}$	$\overline{\overline{x_2}+\overline{x_3}}$	y
0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
2	0	1	0	0	0	0	0
3	0	1	1	1	0	0	1
4	1	0	0	0	0	0	0
5	1	0	1	0	1	0	1
6	1	1	0	0	0	1	1
7	1	1	1	1	1	1	1

а



б

$y=x_1x_2x_3+\overline{x}_1x_2x_3+x_1\overline{x}_2x_3+x_1x_2\overline{x}_3$

Рис. 2.3

Якщо логічна функція задана *виразом довільної форми*, наприклад,

$$y = \overline{\overline{x_1} + \overline{x_2}} + \overline{\overline{x_1} + \overline{x_3}} + \overline{\overline{x_2} + \overline{x_3}},$$

то для переходу до ДДНФ (або ДКНФ) спочатку можна скласти таблицю відповідності за методом прямої індукції (див. рис. 2.3,*а*): обчислюються логічні значення компонентів виразу для кожного кортежу, та, як підсумок, значення всієї функції *y* зводяться в колонку. Далі переходимо до ДДНФ як звичайно.

4. Аналітичний перехід до досконалих форм. За іншим способом від вихідної формули переходимо до ДДНФ алгебрично:

а) позбуваючись інверсій над виразами (залишаючи їх, у разі потреби, тільки над окремими змінними), переходимо за законом двоїстості до ДНФ, тобто в нашому прикладі маємо:

$$y = x_1x_2 + x_1x_3 + x_2x_3;$$

б) розгортаємо терми (компоненти) ДНФ таким чином, щоб кожний з них мі-стив усі змінні (за аксіомами $x\cdot 1=x$, $1= x+\overline{x}$):

$$y = x_1x_2\cdot 1 + x_1\cdot 1\cdot x_3 + 1\cdot x_2x_3 = x_1x_2\left(x_3+\overline{x_3}\right)+x_1\left(x_2+\overline{x_2}\right)x_3+\left(x_1+\overline{x_1}\right)x_2x_3 =$$

$$= x_1x_2x_3 + x_1x_2\overline{x_3} + x_1x_2x_3 + x_1\overline{x_2}x_3 + x_1x_2x_3 + \overline{x_1}x_2x_3;$$

в) якщо виникають дублікації (повторення однакових термів), скорочуємо їх (за аксіомою: $x+x=x$) і здобуваємо остаточний вираз ДДНФ:

$$y = x_1x_2x_3 + \overline{x_1}x_2x_3 + x_1\overline{x_2}x_3 + x_1x_2\overline{x_3};$$

г) за необхідністю відтворюємо таблицю відповідності у зворотному порядку: заступаючи літерали в мінтермах їх цифровими значеннями (змінну з інверсією замінюємо нулем, а без інверсії – одиницею, наприклад, $\overline{x_3}x_2x_1 \to 011_2=3_{10}=i$), визначаємо коди i вхідних кортежів, що відповідають значенням y=1, а на інших кортежах записуємо y=0.

Аналогічно перетворюємо функцію й до ДКНФ: спочатку позбуваємося інверсій над виразами і розгортаємо функцію до КНФ за розподільчим законом 8*б* (див. табл. 2.2):

$$y=x_1x_2+x_1x_3+x_2x_3=(x_1+x_1+x_2)(x_1+x_1+x_3)(x_1+x_3+x_2)(x_1+x_3+x_3)\cdot$$
$$\cdot(x_2+x_1+x_2)(x_2+x_1+x_3)(x_2+x_3+x_2)(x_2+x_3+x_3)=(x_1+x_2+x_3)(x_1+x_2)(x_1+x_3)(x_2+x_3).$$

Відтак доповнюємо кожну диз'юнкцію змінними, яких бракує для утворення досконалої форми (за аксіомами $x+0=x$, $0=\overline{x}x$):

$$A+B = A+B+0 = A+B+C\overline{C} = (A+B)+C\overline{C} = (A+B+C)(A+B+\overline{C}).$$

По усуненні дублікацій типу $x.x=x$ у розглядуваному прикладі дістанемо ДКНФ

$$y = (x_1+x_2+x_3)(x_1+x_2+\overline{x_3})(x_1+\overline{x_2}+x_3)(\overline{x_1}+x_2+x_3)$$

Зв'язок між ДКНФ і таблицею відповідності встановлюємо аналогічно як для ДДНФ: макстерми (вирази в дужках) визначають нульові набори функції, наприклад, $x_1+x_2+\overline{x_3} \to 001_2=1_{10}=i$, а всі інші набори відповідають значенню функції y=1.

Таким чином, якщо функціонування пристрою задано логічним виразом, то виконуємо перетворення в загальному випадку за послідовністю: мішана форма – ДФ (КФ) – ДНФ (КНФ) – ДДНФ (ДКНФ). І, нарешті, від фунції в ДДНФ

(ДКНФ) легко перейти до її інверсії відповідно в ДКНФ (ДДНФ) взаємною заміною прямих і інверсних змінних та знаків диз'юнкції і кон'юнкції згідно з (2.1).

2.1.5. Співвідношення між логічними функціями

Алгебра логіки ізоморфна (взаємно відповідає) алгебрі множин відносно операцій об'єднання (диз'юнкції), перетину (кон'юнкції) та доповнення (інверсії). Це уможливлює використання діаграм Венна (діаграм Ейлера) для наочної ілюстрації властивостей алгебри логіки й розв'язання логічних рівнянь за допомогою алгебри множин.

1. Графічна ілюстрація операцій над логічними функціями. Розглядатимемо логічну функцію як множину $y=\{M_i\}$, елементами якої є мінтерми M_i, що відповідають значенню $y=1$ на певних вхідних кортежах i. Усі 2^m можливих

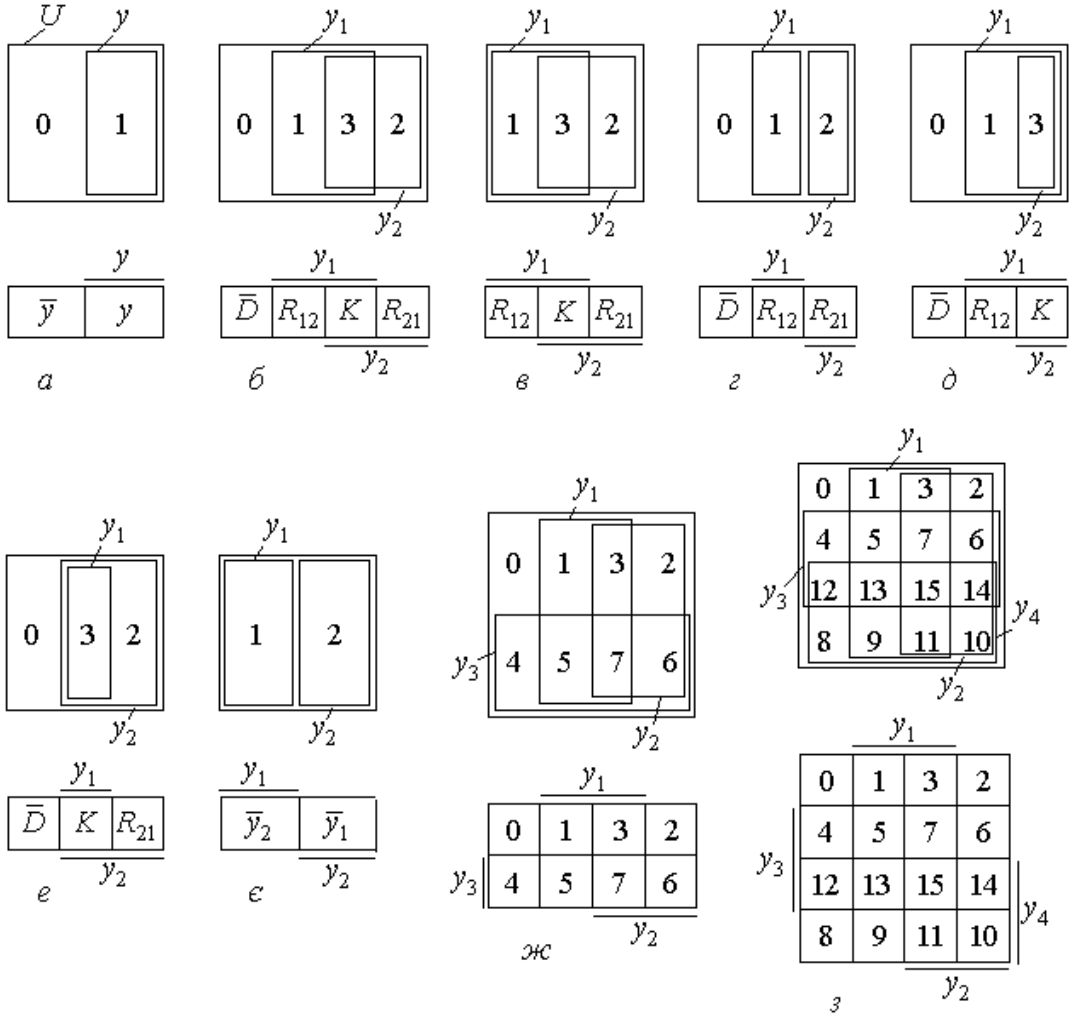


Рис. 2.4

Якщо якась функція є константою нуля $y\equiv 0$, що відповідає порожній множині $y=\varnothing$, то всю діаграму займає ділянка 0, а якщо вона є константою одиниці

$y \equiv 1$, то вся діаграма збігається з ділянкою 1. Отже, співвідношення між частинами діаграми для довільної функції зображається як $\overline{y} = 1 \setminus y$ чи $y = 1 \setminus \overline{y}\, y$, бо область визначення $U = y + \overline{y} \equiv 1$.

На діаграмі рис. 2.4,*б* зображено дві функції y_1 і y_2, подані прямокутниками, а на спрощеній нижній діаграмі обидві функції подано рисками. Нумерація ділянок діаграми відповідає десятковим кодам, складеним з цих функцій, наприклад, ділянка, де перетинаються обидві функції, має код $i = y_2 y_1 = 11_2 = 3_{10}$, а ділянка, де $y_2 = 1$, $y_1 = 0$ – номер $i = y_2 \overline{y}_1 = 10_2 = 2_{10}$.

На цій діаграмі ділянки відповідають таким логічним операціям над функціями: 1, 3, 2 – диз'юнкція чи об'єднання (АБО) $D = y_1 + y_2$; 0 – інверсія або доповнення об'єднання (АБО-НЕ) $\overline{D} = \overline{y_1 + y_2}$; 3 – кон'юнкція або перетин (І) $K = y_1 y_2$; 0, 1, 2 – доповнення перетину (І-НЕ) $\overline{K} = \overline{y_1 y_2}$; 1 – різниця (заборона) $R_{12} = y_1 \setminus y_2$, яка утворюється вилученням з прямокутника y_1 тих одиниць, що збігаються з функцією y_2; 2 – аналогічна різниця $R_{21} = y_2 \setminus y_1$; 0, 2, 3 – імплікація $y_1 \to y_2 = R_{12}$; 0, 1, 3 – аналогічна імплікація $y_2 \to y_1 = \overline{R_{21}}$; 1, 2 – сума за модулем два (виключне АБО) $M = y_1 \oplus y_2$; 0, 3 – виключне АБО-НЕ $\overline{M} = \overline{y_1 \oplus y_2}$.

Як видно з діаграми, підмножина мінтермів, яка утворює перетин функцій (ділянка 3), входить до складу підмножини об'єднання (ділянки 1, 3, 2), що позначається символом включення $K \subset D$. Отже, завжди $KD = K$. Виражаючи подібним чином операції одна через одну, дістанемо співвідношення:

$$D = y_1 + y_2 = M + K;\ K = y_1 y_2 = D \oplus M \subset D;\ KD = K;\ K + D = D;$$

$$R_{12} = y_1 \setminus y_2 = y_1 \overline{y_2} = y_1 \setminus K = y_1 \overline{K};\ R_{21} = y_2 \setminus y_1 = \overline{y_1} y_2 = y_2 \setminus K = \overline{y_1} D; \quad (2.6)$$

$$M = y_1 \oplus y_2 = y_1 \overline{y_2} + \overline{y_1} y_2 = R_{12} + R_{21} = D\overline{K}.$$

2. Зв'язок між функціями і їх складниками. Якщо одну з двох функцій, наприклад, y_1 вважати відомою, то за допомогою операцій (2.6) можна виразити шукану функцію y_2 через відому або її окремі складники, що є, по суті, розв'язанням логічного рівняння відносно невідомої змінної. Безпосередньо з діаграми Венна (див. рис. 2.4,*б*) видно, що пряма функція y_2 утворюється логічним підсумовуванням ділянок 2, 3, а інверсна $\overline{y_2}$ – ділянок 0, 1. Отже, потрібно виразити ці ділянки через величини, які вважатимемо відомими, бо їх можна визначити з таблиці відповідності. Залежно від співвідношення між функціями розглянемо такі випадки.

а) *У загальному випадку* (див. рис. 2.4,*б*) з урахуванням (2.6) матимемо

$$y_2 = R_{21} + K = \overline{y_1} D + K = \overline{R_{12} + \overline{D}} = \overline{y_1 \overline{K} + \overline{D}} = y_1 \oplus M. \quad (2.7)$$

Ці вирази мають універсальний характер, бо яку з порівнюваних функцій вважати відомою y_1, а яку – шуканою y_2, не має значення, аби-но їх назви в (2.6) і (2.7) були однаковими. Вирази (2.7) в окремих випадках співвідношення між функціями можна спростити.

б) У разі *суцільного покриття* області визначення обома функціями (рис. 2.4,*в*), тобто якщо $D = 1$, $K \neq 0$, дістанемо

$$y_2 = \overline{R}_{12} = \overline{y_1} + K. \qquad (2.8)$$

в) Ознакою *неперетинних функцій* (рис. 2.4,*г*) є K=0, а також $R_{12}=y_1$, $R_{21}=y_2$, тому

$$y_2 = D \setminus y_1 = \overline{y_1} D. \qquad (2.9)$$

Зауважимо, що при цьому співвідношення $y_1\backslash y_2=y_1$, $y_2\backslash y_1=y_2$ можуть виявитися корисними для спрощення логічних виразів.

г) У випадку *включення* шуканої функції до складу відомої $y_2 \subset y_1$ (рис. 2.4,*д*), коли $D=y_1$, $K=y_2$, R_{21}=0, маємо

$$y_2 = y_1 \setminus R_{12} = y_1 \overline{R}_{12}. \qquad (2.10)$$

д) Навпаки, за *включення* відомої функції до складу шуканої $y_1 \subset y_2$ (рис. 2.4,*е*), коли $D=y_2$, $K=y_1$, R_{12}=0, маємо

$$y_2=y_1+R_{21}. \qquad (2.11)$$

е) І, нарешті, ознакою *взаємоінверсних* функцій (рис. 2.4,*є*) є D=1, K=0, отже,

$$y_2=D \setminus y_1= \overline{y_1}\,. \qquad (2.12)$$

Діаграма для більшої кількості функцій утворюється таким чином, щоб фігура наступної функції поділяла всі ділянки попередньої діаграми на дві частини. Так, для трьох змінних (рис. 2.4,*ж*) прямокутник y_3 перетинає всі ділянки попередньої діаграми на рис.2.4,*б,* а фігура y_4 (рис. 2.4,*з*) утворює діаграму для чотирьох змінних. На останніх двох діаграмах ділянки нумеруються кодами відповідно $i=y_3y_2y_1$ та $i=y_4y_3y_2y_1$. Нульова ділянка на цих діаграмах є доповненням диз'юнкції $\overline{D}$, а ділянка з кодом i=7 або i=15 відповідно є кон'юнкція, тобто перетин усіх функцій. Проте зміст кожної ділянки легко визначається її кодом. Так, п'ята ділянка на цих діаграмах є виразом відповідно $y_3\overline{y_2}y_1$ та $\overline{y_4}y_3\overline{y_2}y_1$, тобто немає потреби йменувати кожну з них своєю назвою.

Комбінуючи ділянки аналогічно діаграмі для двох функцій, можна будь-яку невідому функцію виразити через інші, вже відомі. Так, логічним підсумовуванням ділянок 4...7 на діаграмі трьох функцій дістанемо пряму функцію y_3, а

ділянок 0...3 – інверсну функцію $\overline{y_3}$. Проте процедуру розв'язання логічного рівняння з багатьма функціями доцільно спростити, позначивши шукану функцію як y_2, а деяку композицію попередьо синтезованих k функцій як y_1, наприклад, $y_1=y_{01}+y_{02}+...+y_{0k}$ або $y_1=y_{01}y_{02}y_{03}...$ і т. ін. Тоді задача зводиться до діаграми на рис. 2.4,*б* та розв'язку за (2.6)...(2.12) за умови $y_1\neq1$. У противному разі добирається інша композиція функцій y_{0i}, коли ця умова виконується.

На завершення звернімо ще раз увагу на нумерацію ділянок діаграм на рис. 2.4,*б*,*ж*,*з* – клітинок з кодами *і*. *Сусідніми* називатимемо клітинки, розташовані поруч по горизонталі й вертикалі (але не по діагоналі). При наведеній нумерації сусідні геометрично клітинки відповідають і сусіднім кодовим наборам (коди відрізняються лише одним розрядом). Тому сусідніми на рис. 2.4,*з* є й крайні по горизонталі або по вертикалі, а також кутові клітинки. Отже, діаграму можна уявити як розгортку торуватої поверхні: з'єднанням верхньої і нижньої її ліній утворюється циліндр, а з'єднанням ще лівої та правої ліній – тор.

Таким чином, за допомогою теоретико-множинного уявлення про логічні функції досягається не лише наочна ілюстрація логічних операцій і доведення співвідношень, але й полегшується встановлення зв'язку між ними, що дає змогу виражати функції одна через одну з метою спрощення їх реалізації. Приклади на застосування співвідношень між функціями наводяться в § 2.3.

§2.2. МІНІМІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ

Логічне проектування, особливо найпростіших пристроїв, можна здійснити шляхом тотожних перетворень логічних функцій, проте навіть у нескладних випадках виникає потреба у формалізації перетворень, аби дістати оптимальні варіанти схеми, а досвід та інтуїцію використовувати лише на завершальних етапах проектування, зокрема, під час вибору найкращого варіанту для реалізації. Формалізована процедура переходу від ДДНФ (ДКНФ) до більш короткої форми та вибору з-поміж багатьох варіантів зображення функції найкоротшої з них називається *мінімізацією* логічної фукції. Отже, мінімізація полягає в перетворенні від ДДНФ до мінімальної ДНФ (МДНФ) або від ДКНФ до мінімальної КНФ (МКНФ) функції.

2.2.1. Графічний метод діаграм термів (Вайча – Карно)

1. Побудова діаграм. Серед формалізованих методів мінімізації логічних функцій найбільшого поширення набув метод за допомогою *діаграм термів*, де

як математична модель використовується діаграма, клітинки якої є терми – члени виразу ДДНФ (мінтерми) або ДКНФ (макстерми). Такі діаграми мають поширену назву діаграм Вайча або карт Карно й будуються формально так само, як і діаграми Венна або діаграми Ейлера. Для стислості називатимемо їх діаграмами термів.

Для функції *y чотирьох змінних* (рис. 2.5,*а*) клітинки діаграми термів (рис. 2.5,*б*) нумеруються десятковими кодами вхідних кортежів $i=x_4x_3x_2x_1$ так само, як і на діаграмі Венна (див. рис. 2.4,*з*). Стандартна нумерація клітинок полегшує заповнення власне діаграми функції *y* (рис. 2.5,*в*). Після позначення координат рисками, що відповідають одиничним значенням змінних, до діаграми переносять лише одиниці з колонки *y* таблиці відповідності згідно з кодами *i* вхідних кортежів, а до порожніх клітинок вважаються записаними нулі, або, навпаки, переносять лише нулі (рис. 2.5,*г*), тоді порожні клітинки відповідають значенням *y*=1.

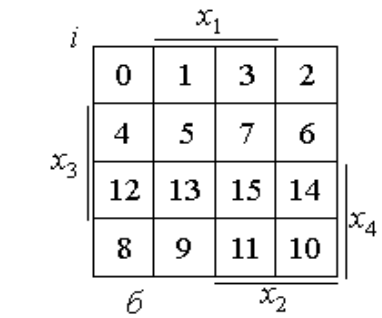
Верхня половина діаграми на рис. 2.5,*б* відображає нумерацію клітинок на діаграмі функції *трьох змінних*, а один верхній рядок – на діаграмі функції *двох змінних* аналогічно як і на діаграмах Венна (див. рис. 2.4,*ж*,*б*).

Діаграми функцій п’ятьох і більше змінних можна побудувати аналогічно, подвоєнням попередніх діаграм (рис. 2.6,*а*,*б*,*в*). Так, для *п'ятьох змінних* координаті $x_5=0$ відповідає ліва відносно жирної осі півдіаграма (див. рис. 2.6,*а*), що повторює діаграму функції чотирьох змінних, а права пів- діаграма (при $x_5=1$) нумерується дзеркально відносно осі (початок нумерацій виділено). Аналогічно за допомогою координати x_6 (рис. 2.6,*в*) утворюється діаграма функції *шістьох змінних*.

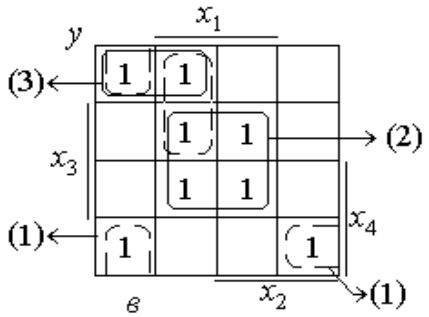
Діаграму, як і таблицю відповідності, можна побудувати й за будь-яким іншим способом за-

i	x_4	x_3	x_2	x_1	y
0	0	0	0	0	1
1	0	0	0	1	1
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	1
6	0	1	1	0	0
7	0	1	1	1	1
8	1	0	0	0	1
9	1	0	0	1	0
10	1	0	1	0	1
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	1
14	1	1	1	0	0
15	1	1	1	1	1

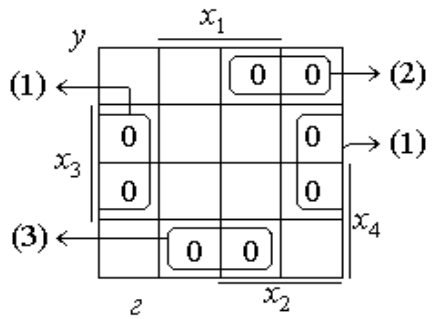
а



б



в



г

Рис. 2.5

дання функції, наприклад, за формулою ДДНФ або ДКНФ, бо кожній одиниці або нулю діаграми однозначно відповідає свій терм. Так, одиниці в лівому верхньому кутку діаграми на рис. 2.6,*б* відповідає мінтерм $\overline{x_1}\,\overline{x_2}\,\overline{x_3}\,\overline{x_4}\,\overline{x_5}$, а нулю в правому верхньому кутку діаграми на рис. 2.5,*г* – макстерм $x_1 + \overline{x_2} + x_3 + x_4$ згідно з правилами входження змінних до термів ДДНФ та ДКНФ.

2. Правила мінімізації. ДДНФ функції m змінних зображається як логічна сума всіх мінтермів рангу m, тобто добутків усіх m змінних або їх інверсій. Методи мінімізації ґрунтуються *на наслідку склеювання* (10*а* в табл. 2.2), який можна узагальнити таким чином:

$$Ax_i + A\overline{x}_i = A, \qquad (2.13)$$

де A – будь-який вираз, зокрема, добуток змінних. Отже, склеюватися можуть мінтерми, які відрізняються лише значенням однієї змінної: в одному з них x_i=0, а в іншому x_i=1. Саме так розташовано терми в діаграмах: сусідні клітинки (які знаходяться поруч по горизонталі й вертикалі або по краях діаграми) відрізняються лише однією змінною, тому дві одиниці в сусідніх клітинках склеюються графічно, утворюючи сполуку, що відповідає мінтермові нижчого рангу.

Графічна мінімізація за допомогою діаграм термів полягає в об’єднанні клітинок за *правилами*: 1) об’єднувати можна сусідні одиничні клітинки, утворюючи сполуки по 2^k=2, 4, 8,... одиниць, причому одна й та сама одиниця може входити до кількох сполук, а якщо якась одиниця не має сусідніх, вона утворює сполуку з однієї клітинки; 2) усі одиниці мають бути охоплені (покриті) сполуками таким чином, щоб, по-перше, кожна з них об’єднувала найбільшу кількість одиниць та, по-друге, діаграма містила найменшу кількість сполук; 3) будь-якій одиничній клітинці відповідає первісний мінтерм рангу m, а кожній сполуці з 2^k клітинок відповідає вкорочений мінтерм рангу m-k, що є добуток тільки тих змінних, які мають *стале значення для всієї сполуки*, причому змінна входить до мінтерма без інверсії, якщо її значення є одиниця (є риска проти всієї сполуки на діаграмі), та з інверсією – якщо нуль (риска відсутня); 4) отже, мінімізована функція є логічна сума всіх утворених мінтермів – сполук одиниць.

Здебільшого існує багато варіантів утворення сполук. Оптимізувати процедуру мінімізації доцільно таким чином. 1) Якщо є одиничні клітинки, які можна приєднати до інших лише одним способом, найкраще розпочати об'єднувати саме з таких клітинок. У прикладі на рис. 2.5,*в* більш, ніж одну сусідню мають усі одиничні клітинки (показано пунктиром), крім десятої (нумерацію клітинок подано на рис. 2.5,*б*). Тому утворюємо сполуку (1) приєднанням цієї клітинки

до восьмої. 2) Після цього розглядаємо можливість утворити об'єднання з найбільшої кількості одиниць по 2^k. Так, на нашій діаграмі сполуку з 8 елементів утворити не можна, тому 4 одиниці об'єднуємо до квадрата (2). 3) Відтак із ще не охоплених одиниць утворюємо інші сполуки або приєднуємо вільні одиниці до вже утворених сполук так, щоб мінімальною кількістю сполук охопити (покрити) усі одиниці. У прикладі сполука (3) охоплює решту одиниць. Якщо варіантів рівноцінних сполучень кілька, занотовуємо їх для можливого використання на останньому етапі проектування. 4) І, нарешті, зчитуємо мінтерми з утворених сполук. Так, сполука (1), складена з двох первісних мінтермів четвертого рангу, утворює мінтерм третього рангу $\bar{x}_1\bar{x}_2x_4$, до якого змінні x_1, x_3 входять з інверсією тому, що проти всієї сполуки (1) немає їх рисок, та змінна x_4 входить без інверсії тому, що проти всієї сполуки розташована її риска, а змінна x_2 до мінтерма не входить через те, що її значення не є сталим протягом сполуки (проти клітинки 10 є риска, а проти клітинки 8 риска відсутня). Чотири одиниці сполуки (2) відповідають мінтермові другого рангу x_1x_3, до якого входять змінні x_1 і x_3 без інверсії, бо проти всієї сполуки є риски цих змінних, а змінні x_2, x_4 до сполуки не входять, бо їх значення змінюються протягом сполуки. Аналогічно зчитуємо мінтерм зі сполуки (3): $\bar{x}_2\bar{x}_3\bar{x}_4$. Підсумовуванням мінтермів дістаємо шукану МДНФ у вигляді

$$y = x_1x_3 + \bar{x}_2\bar{x}_3\bar{x}_4 + \bar{x}_1\bar{x}_3x_4. \qquad (2.14)$$

Цю ж саму діаграму термів можна використати й для здобуття інверсної функції КНФ, якщо сполуки зчитувати як такі, до яких змінні входять із протилежним значенням (риска відповідає нульовому значенню аргумента, а її відсутність – одиничному). Так, безпосередньо з діаграми на рис. 2.5,*в* зчитуємо МКНФ інверсної функції

$$\bar{y} = \left(\bar{x}_1 + \bar{x}_3\right)\cdot\left(x_2 + x_3 + x_4\right)\cdot\left(x_1 + x_3 + \bar{x}_4\right) .$$

Очевидно, цей вираз можна дістати згідно з (2.1) і безпосередньо з формули МДНФ (2.14), якщо вона є.

Методика мінімізації в КНФ за допомогою діаграм термів не відрізняється від розглянутої з урахуванням лише особливостей (див. рис. 2.5,*г*): об'єднують до сполук клітинки з нулями та до складу макстермів змінну зчитують з інверсією, якщо проти сполуки є її риска і, навпаки, без інверсії, якщо риска відсутня. Тому МКНФ функції має вигляд:

$$y = \left(x_1 + \bar{x}_3\right)\left(\bar{x}_2 + x_3 + x_4\right)\left(\bar{x}_1 + x_3 + \bar{x}_4\right) . \qquad (2.15)$$

Інверсну функцію МДНФ також можна отримати з цієї самої діаграми, зчитуючи сполуки нулів так само, як сполуки одиниць:

$$\overline{y} = \overline{x_1}x_3 + x_2\overline{x_3}\,\overline{x_4} + x_1\overline{x_3}x_4.$$

або, якщо є, безпосередньо з МКНФ згідно з (2.1).

3. Особливості мінімізації зі збільшенням кількості змінних. На будь-якій діаграмі кожна клітинка має m сусідніх (m – кількість змінних), розташованих, наприклад, для функції чотирьох змінних ліворуч, праворуч, вгорі та знизу, включаючи крайні. Для функції п'ятьох змінних (див. рис. 2.6,*а*) крім чотирьох на своїй півдіаграмі додається ще п'ята сусідня клітинка на другій півдіаграмі, розташована симетрично відносно осі симетрії (жирна лінія), з кодом i+16, тобто сусідньою відносно, наприклад, п'ятої буде ще двадцять перша клітинка, а для функції шістьох змінних (рис. 2.6,*в*) сусідньою з п'ятою є ще тридцять сьома клітинка. Взагалі, зі збільшенням кількості змінних на одиницю крім попередніх додається ще одна симетрична клітинка з кодом $i+2^{m-1}$ на сусідній півдіаграмі. Саме це ускладює процедуру мінімізації функцій зі збільшенням кількості змінних.

Полегшити мінімізацію можна, впорядкувавши цей процес. Розглянемо його на прикладі діаграми п'ятьох змінних (рис. 2.6,*б*).

1) Утворюємо спочатку сполуки клітинок на одній півдіаграмі, наприклад, правій, де одиниць більше. У прикладі здобуваємо сполуки 1,2 з чотирьох елементів кожна (та ще беремо під увагу не помічену другу від правого краю колонку), а також сполуку 3 із двох одиниць.

2) Уявно перегинаючи діаграму по осі симетрії, перевіряємо, чи не накладаються утворені сполуки на такі самі групи клітинок лівої півдіаграми. Так, сполука 1 віддзеркалена на лівій півдіаграмі чотирма симетричними клітинками, які й приєднуємо до цієї сполуки тепер вже з 8 одиниць; квадрат 2 пов-ністю не відображається на лівій півдіаграмі (показано зірочками) та колонка одиниць на ній розірвана, тому на правій півдіаграмі залишаємо сполуку 2 з чотирьох елементів, яка охоплює більше вільних одиниць, ніж колонка. Дві клітинки правої півдіаграми об'єднуються із симетричними на лівій, утворюючи сполуку 3 з чотирьох одиниць.

3) Переходимо до лівої півдіаграми й утворюємо так само сполуки з вільних одиниць, приєднуючи їх за змогою до інших сполук спочатку своєї, а відтак симетричної правої півдіаграми. У прикладі є одна вільна одиниця в клітинці i=13, яка приєднується до іншої (i=9) зі сполуки 1, утворюючи сполуку 4 з двох одиниць. Перевірка на симетрію з одиницями правої півдіаграми (обведено) збільшує сполуку 4 до чотирьох одиниць на двох півдіаграмах.

4) Зчитуючи сполуки по черзі, записуємо вираз для МДНФ функції:

$$y = \overline{x_2}\,\overline{x_3} + x_1x_3x_5 + \overline{x_1}x_2\overline{x_4} + x_1\overline{x_2}x_4.$$

Принагідно зауважимо тут, що діаграму можна заповнити за процедурою, зворотною зчитуванню термів під час мінімізації. Якщо функція задана в мішаній формі, спочатку перетворюємо її до нормальної форми (ДНФ або КНФ). Відтак визначаємо *групи клітинок*, що відповідають кожному термові і вносимо їх до діаграми. Наприклад, перший терм ДНФ (2.14) визначає квадрат одиниць (2) на діаграмі (див. рис. 2.5, *в*), проти якого є ризки змінних x_1, x_3; другому термові відповідає сполука (3), проти якої відсутні риски змінних x_2, x_3, x_4 і т. ін. Так само від КНФ (2.15) легко перейти до діаграми (див. рис. 2.5, *г*) з урахуванням входження змінних до термів.

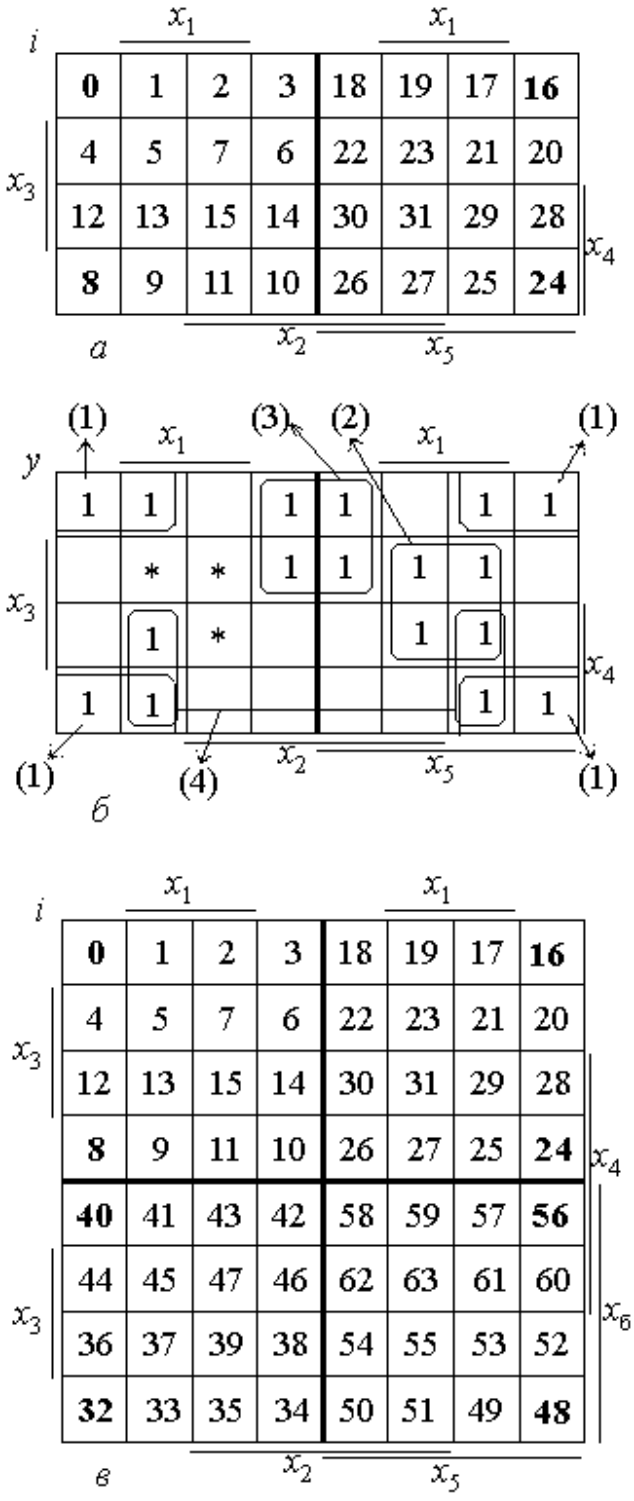


Рис. 2.6

Таким чином, для мінімізації логічних функцій методом діаграм термів (Вайча-Карно) будуємо діаграму з 2^m клітинок, позначаємо її координати (нумерацію клітинок) таким чином, аби сусідні геометрично клітинки відповідали сусіднім кодовим наборам змінних та вносимо до діаграми за координатами одиниці (нулі) з таблиці відповідності. Відтак, об'єднуючи одиничні (нульові) сусідні клітинки за певними правилами, утворюємо сполуки, що відповідають мінтермам (макстермам) нижчого рангу та, зчитуючи сполуки, записуємо МДНФ (МКНФ) шуканої функції. Перевага методу полягає в його наочності під час ручного проектування, недолік – в ускладненні процедури мінімізації функцій зі збільшенням кількості змінних.

2.2.2. Аналітичні методи

1. Формалізований алгебричний метод. Здобуття найкращого або прийнятного варіанту логічної функції алгебрично, шляхом тотожних перетворень займає багато часу й не сповнює впевненістю щодо оптимальності остаточного виразу. Аби уникнути цих недоліків, надамо перетворенням чітко формалізованої послідовності дій і розглянемо їх для наочності на прикладі логічної функції *y*, що подана таблицею відповідності (див. рис. 2.5,*а*).

1) Зобразімо ДДНФ функції у вигляді таблиці мінтермів M_4 (у прикладі – четвертого рангу) з кодами наборів змінних *i*, що відповідають одиничним значенням функції (рис. 2.7,*а*). Сума цих мінтермів і становить ДДНФ функції. Згідно з (2.13) склеюватись можуть мінтерми, які відрізняються лише значенням однієї змінної, тому розташуємо їх у таблиці групами за кількістю інверсій змінних або, що те ж саме, нулів у їх кортежах і відокремимо групи рисками: у першій – чотири інверсії змінних, у другій – три тощо.

2) Внаслідок того, що склеюватись можуть лише мінтерми сусідніх груп, значно зменшується кількість потрібних перевірок на склеювання, які виконуємо послідовно для мінтермів з нумерами 0 і 1, 0 і 8, відтак 1 і 5, 1 і 10 тощо. Якщо результат перевірки позитивний – утворюється мінтерм третього рангу, вносимо його до нової таблиці (рис. 2.7,*б*) мінтермів нижчого рангу M_3 з кодами i_3, складеними з кодів склеєних мінтермів вищого рангу M_4. Наприклад, перевірка на склеювання мінтермів з кодами i=0 та 1: $\overline{x_4}\,\overline{x_3}\,\overline{x_2}\,\overline{x_1} + \overline{x_4}\,\overline{x_3}\,\overline{x_2}\,x_1 = \overline{x_4}\,\overline{x_3}\,\overline{x_2}$ дає мінтерм третього рангу з кодом i_3=(0,1). Коди *i* можна вважати множинами, що вказують, з яких мінтермів M_4 складаються мінтерми M_3. Такий алгоритм передбачає перевірку на склеювання між усіма можливими сполученнями мінтермів, що еквівалентно додаванню одного й того самого мінтерма M_4 кілька разів, проте на підставі аксіоми $x+x=x$ функція від цього не змінюється.

3) Далі перевіряємо на склеювання мінтерми M_3, для чого поділяємо їх на групи з однаковими літералами (на рис. 2.7,*в* відокремлені рисками), бо склеюватись згідно з (2.13) можуть тільки мінтерми, складені з однакових змінних, одна з яких відрізняється входженням (без інверсії та з інверсією). Перевіряючи на склеювання всі можливі сполучення між мінтермами всередині кожної групи, одержуємо дві такі пари (відмічено квадратними дужками), які утворюють мінтерми меншого, тепер другого рангу M_2, і вносимо їх до таблиці (рис. 2.7,*г*). У прикладі вони однакові (бо множини i_2 складені з однакових елементів), тому, усуваючи дублікацію, об'єднуємо їх в один мінтерм x_3x_1 (показано дужкою).

Після другого склеювання функція *y* дорівнює сумі мінтермів M_2 (у нашому випадку він один) і M_3, що не увійшли до складу M_2, а також, якщо є, M_4, що не склеїлись (у прикладі таких немає, бо всі коди *i* є елементами множин i_3). Далі

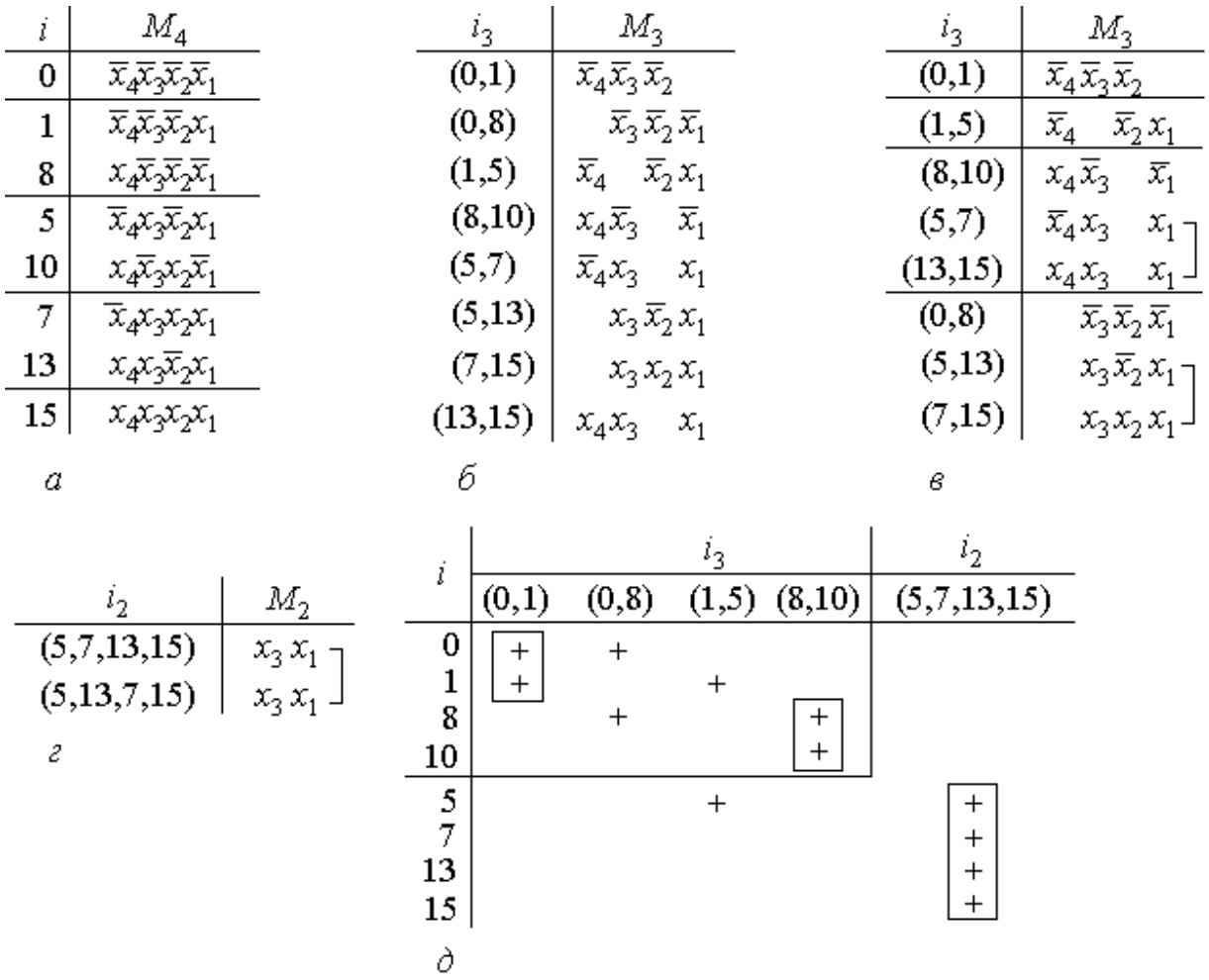


Рис. 2.7

аналогічно продовжуємо склеювання мінтермів меншого рангу доти, поки вони вже не склеюються або залишиться один. У прикладі функція *y* складається з одного мінтерма M_2 та чотирьох M_3, що не увійшли до M_2.

4) Утворена ДНФ функції є правильною лише тоді, коли на всіх вхідних кортежах *i*, що відповідають первісним мінтермам ДДНФ M_4, вона обертається на одиницю, а на всіх інших кортежах – на нуль. Проте, якщо вилучення з ДНФ якогось із компонентів, наприклад, одного з мінтермів M_3, не змінює функцію на його кортежі, то він є зайвий. Перевіряючи на зайвину по черзі всі складники ДНФ та їх сполучення, можна дістати мінімізовану функцію. Але такі обчислення та порівняння варіантів займають багато часу, тому цей процес також потребує формалізації.

Для цього складаємо спочатку таблицю (рис. 2.7,*д*) відповідностей кортежів зі складниками ДНФ – множинами i_3, i_2: якимось знаком, наприклад, плюс позначаємо, які з кортежів складають кожну з множин. Зокрема, до множини i_3=(0,1) як елементи входять набори *i*=0 та *i*=1, тому на їх перетині ставимо знак

плюс.

Далі виходимо з того, що всі кортежі i мають бути репрезентовані в ДНФ таким чином, аби кількість її складників – множин – була мінімальною. Передусім, природно, залишаємо мінтерми найнижчого рангу (екстремалі) M_2, тобто множини i_2 (на рис. 2.7,*д* обведено), бо вони вбирають найбільшу кількість мінтермів M_4 – кортежів i. Відтак відокремлюємо в таблиці ще не охоплені (не покриті) кортежі i та множини, до складу яких вони входять, перебираємо можливі сполучення множин i_3, що охоплюють усі кортежі, та залишаємо тільки мінімальні з цих сполучень. Так, сполучення по два (0,1) і (0,8), (0,1) і (1,5) не забезпечують покриття, а (0,1) і (8,10) покривають усі кортежі (у таблиці обведено). Якщо немає таких сполучень по два, переходимо до сполучень по три, а якщо рівноцінних сполучень кілька, занотовуємо їх також як варіанти розв'язку задачі.

	M_4			
i	x_4	x_3	x_2	x_1
0	0	0	0	0
1	0	0	0	1
8	1	0	0	0
5	0	1	0	1
10	1	0	1	0
7	0	1	1	1
13	1	1	0	1
15	1	1	1	1

а

5) І, нарешті, як підсумок, записуємо логічний вираз (або вирази, якщо є рівноцінні варіанти) МДНФ з дібраних множин, розшифровуючи їх за кодами з відповідних таблиць M_2 та M_3:

$$y = x_1x_3 + \overline{x}_2x_3\overline{x}_4 + \overline{x}_1\overline{x}_3x_4.$$

Природно, ця формула збігається з (2.14) і є значно простіша за вихідну ДДНФ.

	M_3			
i_3	x_4	x_3	x_2	x_1
(0,1)	0	0	0	X
(0,8)	X	0	0	0
(1,5)	0	X	0	1
(8,10)	1	0	X	0
(5,7)	0	1	X	1
(5,13)	X	1	0	1
(7,15)	X	1	1	1
(13,15)	1	1	X	1

б

	M_2			
i_2	x_4	x_3	x_2	x_1
(5,7,13,15)	X	1	X	1
(5,13,7,15)	X	1	X	1

в

Рис.2.8

2. Алгоритм Квайна – Мак-Класкі. За своєю сутністю розглянутий метод не відрізняється від ана літично-табличного методу – алгоритму Квайна – Мак-Класкі. Процедура синтезу за цим методом ще більш формалізована шляхом заміни мінтермів M_4, M_3, M_2 їх цифровими кодами (рис. 2.8,*а,б,в*): у виразах змінні x_i, $\overline{x}_i$ замінено відповідно одиницею або нулем. Якщо під час склеювання утворюється мінтерм нижчого рангу, відсутню змінну (прогалина на рис. 2.7,*б,в*) замінюємо позначкою X. Це спрощує запис і уможливлює перетворення на ЕОМ, бо зі збільшенням кількості змінних різко зростає кількість мінтермів, що підлягають перевірці на склеювання. Останній етап мінімізації здійснюється за таблицею, поданою на рис. 2.7,*д*.

Таким чином, різновиди аналітичних методів мінімізації логічної функції, зокрема, за алгоритмом Квайна – Мак-Класкі полягають у перевірці мінтермів на склеювання та доборі найменшої кількості здобутих скорочених мінтермів (імплікант), які покривають усі первісні мінтерми. Цим здійснюється перетворення від ДДНФ до МДНФ. Метод застосовується, головним чином, для мінімізації функцій з багатьма (не менш, ніж п'ятьма-шістьма) аргументами, особливо на ЕОМ.

§2.3. ОСНОВИ СХЕМНОЇ РЕАЛІЗАЦІЇ ЛОГІЧНИХ ФУНКЦІЙ

2.3.1. Реалізація в поширених базисах

1. Булів базис. Якщо функція зображена в ДНФ або в КНФ, то вона містить три елементарні логічні операції над змінними (не над виразами), що складають булів базис. Схемно такі функції реалізуються сполученням входів і виходів логічних елементів у послідовності: НЕ, І, АБО відповідно до формул у ДНФ або в послідовності: НЕ, АБО, І за формулами в КНФ. Так, згідно з виразами ДДНФ (2.2) та ДКНФ (2.4) можна побудувати в булевому базисі елемент виняткове АБО (рис. 2.9,*а*,*б*).

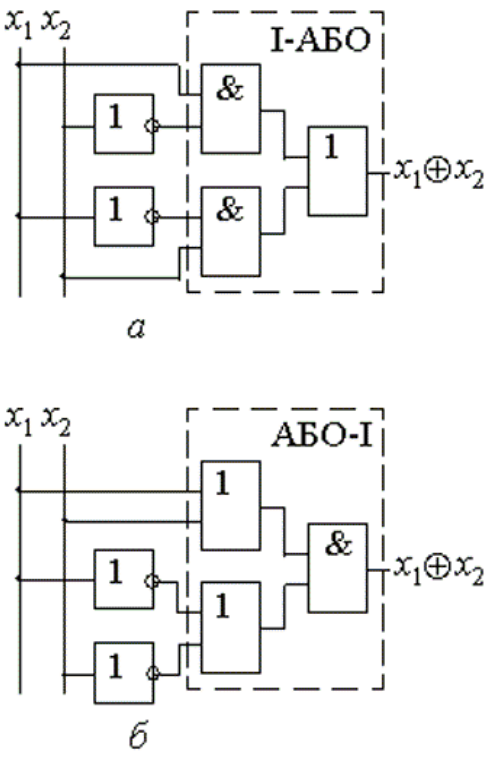


Рис.2.9

Проте зображення схем у булевому базисі, здебільшого, має розглядатися лише як основа для їх порівняння і подальшого перетворення до *структурної* логічної функції. З метою вкорочення схем, використання вільних логічних елементів усередині корпусів частково задіяних мікросхем, зменшення кількості їх типономіналів, зокрема, у потоковому виробництві, а також використання основних і, часто, кращих за параметрами логічних елементів певної серії доводиться перетворювати схеми або їх фрагменти від одного базису до іншого. Для цього розглянемо принципи побудови схем у більш поширених базисах.

2. Базис І-НЕ. Реалізація елементів НЕ, І, АБО, АБО-НЕ (рис. 2.10,*а*,*б*,*в*,*г*) у базисі І-НЕ випливає безпосередньо зі співвідношень алгебри логіки. Наприклад, за законом двоїстості дістаємо в цьому базисі функцію АБО (див. рис. 2.10,*в*):

$$x_1 + x_2 = \overline{\overline{x_1} \cdot \overline{x_2}}.$$

Складніші, комбіновані функції, зображені в булевому базисі, можна здобути шляхом сполучення елементів НЕ, І, АБО, реалізованих у базисі І-НЕ, та наступним вилученням послідовно ввімкнених інверторів (якщо вони є) за аксіомою подвійного заперечення. Так, з'єднанням двох елементів І зі входами елемента АБО (рис. 2.10,*д*) та вилученням двох пар послідовно ввімкнених елементів НЕ одержуємо схему, еквівалентну елементові І-АБО (рис. 2.10,*е*), а додаванням на виході інвертора – схему І-АБО-НЕ (рис. 2.10,*є*). Використовуючи елементи НЕ та І-АБО, переходимо так само від схеми виняткове АБО в булевому базисі (див. рис. 2.9,*а*) до схеми в базисі І-НЕ (рис. 2.10,*ж*).

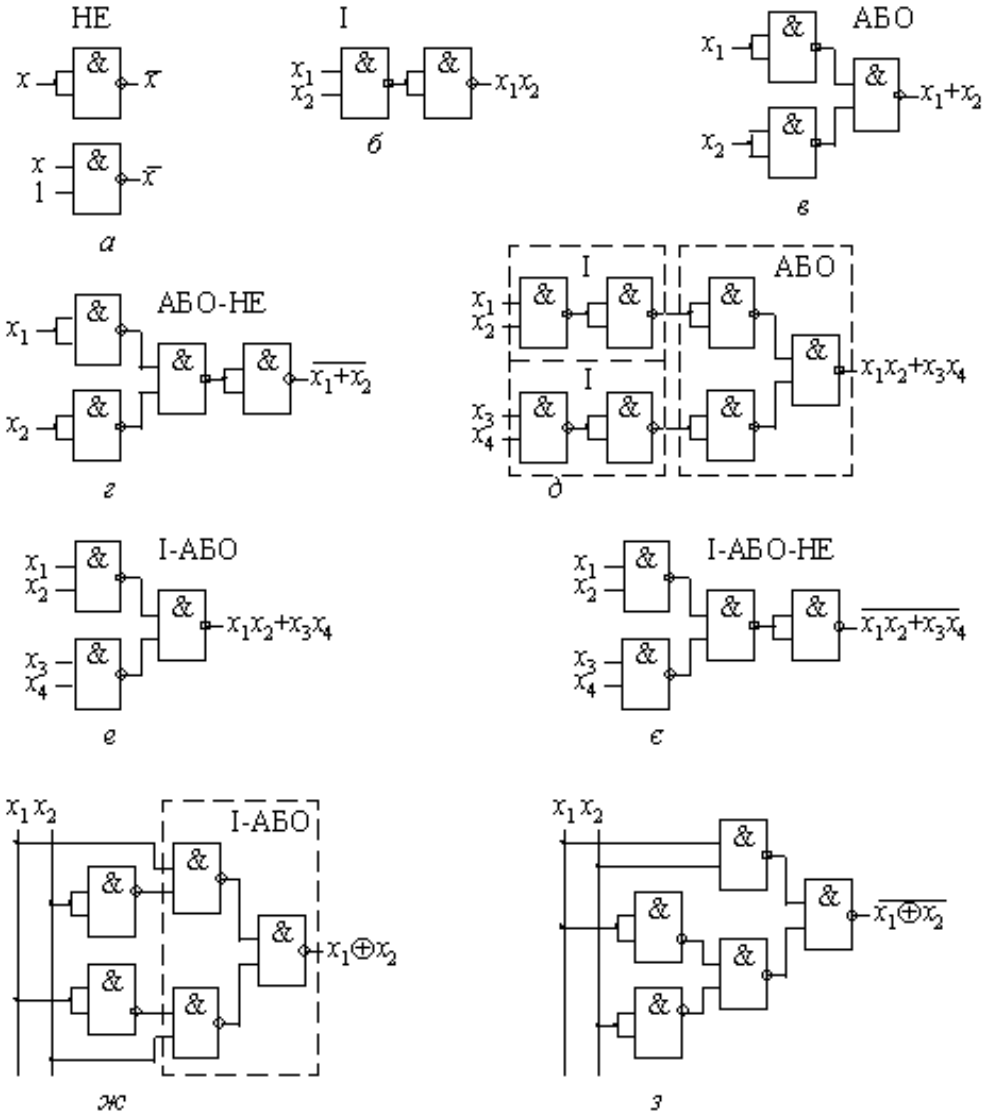


Рис. 2.10

Проте реалізацію в базисі І-НЕ звичайно виконують не перетворенням схем, а алгебрично, за формулою:

$$y = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}, \qquad (2.16)$$

де A, B – кон'юнкції літералів (змінних або їх заперечень). Тобто для такого перетворення необхідно: *а*) записати функцію в ДНФ (МДНФ або, якщо не підлягає мінімізації, ДДНФ), *б*) поставити над виразом два знаки інверсії та *в*) за законом двоїстості перейти від суми до добутку змінних або їх кон'юнкцій. Наприклад, для функції виняткове АБО, виходячи з ДДНФ (2.2), дістаємо структурну функцію

$$y = x_1\overline{x_2} + \overline{x_1}x_2 = \overline{\overline{A}\cdot\overline{B}} = \overline{\overline{x_1}\,\overline{x_2}\cdot\overline{x_1}\,\overline{x_2}},$$

що відповідає рис. 2.10,*ж*.

Якщо функцію задано в КНФ, то спочатку доцільно перейти до ДНФ, а відтак – до базису І-НЕ. Наприклад, вираз (2.4) за допомогою (2.1) перетворюємо таким чином:

$$y = (x_1 + x_2)(\overline{x_1} + \overline{x_2}); \quad \overline{y} = \overline{x_1}\,\overline{x_2} + x_1x_2 = \overline{\overline{x_1}\,\overline{x_2}\cdot\overline{x_1}\,\overline{x_2}}$$

і реалізуємо елемент виняткове АБО-НЕ (рис. 2.10,*з*).

3. Базис АБО-НЕ. Реалізація логічних елементів НЕ, АБО, І, І-НЕ (рис. 2.11,*а*,*б*,*в*,*г*) та перетворення схем від булевого базису до базису АБО-НЕ шляхом заміни елементів (див. рис. 2.9,*б*) їх еквівалентами в базисі АБО-НЕ з усуненням пар послідовно ввімкнених інверторів, якщо вони є (рис. 2.11,*д*,*е*,*є*,*ж*), повністю дуальні перетворенням у базисі І-НЕ.

Алгебрично для переходу до базису АБО-НЕ перетворення виконують за формулою:

$$y = A\cdot B = \overline{\overline{A\cdot B}} = \overline{\overline{A} + \overline{B}} \qquad (2.17)$$

(тут A, B – диз'юнкції літералів), тобто в такому порядку: *а*) записують функцію в КНФ (мінімальну, якщо вона є, інакше ДКНФ), *б*) позначають над виразом два знаки інверсії та *в*) переходять від добутку до логічної суми за законом двоїстості.

Від функції, заданої в ДНФ, попередньо згідно з (2.1) переходять до КНФ, а відтак – до базису АБО-НЕ. Наприклад, перетворенням (2.2)

$$y = x_1\overline{x_2} + \overline{x_1}x_2; \quad \overline{y} = (\overline{x_1} + x_2)(x_1 + \overline{x_2}) = \overline{\overline{x_1} + \overline{x_2} + \overline{x_1} + x_2}$$

реалізується елемент виняткове АБО-НЕ (рис. 2.11,*з*).

4. Базис І-АБО-НЕ. Легко показати за законами двоїстості

$$\overline{\overline{x_1}\,\overline{x_2} + \overline{x_3}\,\overline{x_4}} = (x_1 + x_2)(x_3 + x_4)$$

реалізацію функції АБО-І в базисі І-АБО-НЕ (рис. 2.12,*а*). Взагалі перетворення схем виконують алгебрично за формулами

$$\overline{y} = AB + CE; \quad y = \overline{AB + CE} \qquad (2.18)$$

тобто в послідовності: *а*) записують вираз інверсної функції в ДНФ та *б*) за допомогою інверсії над обома частинами виразу переходять до структурної функції в базисі І-АБО-НЕ.

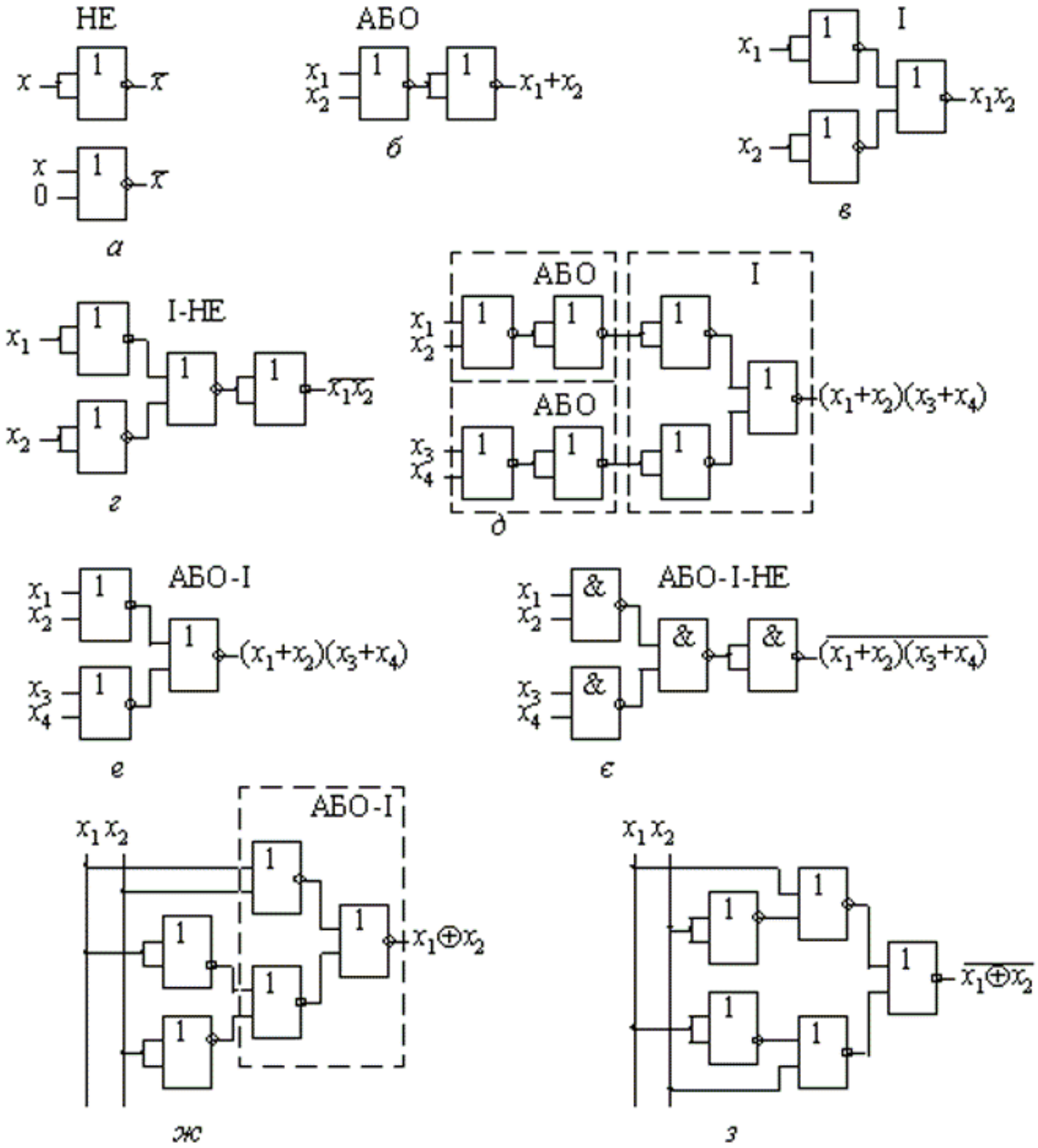


Рис. 2.11

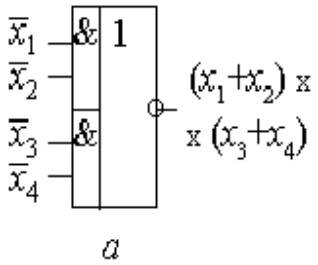
Наприклад, з ДНФ (2.3)

$$\overline{y} = x_1 x_2 + \overline{x}_1 \overline{x}_2; \quad y = \overline{x_1 x_2 + \overline{x}_1 \overline{x}_2}$$

дістаємо структурну функцію, зручну для побудови елемента виняткове АБО (рис. 2.12,*б*).

Таким чином, вихідною для подальших перетворень з метою спрощення схеми та побудови її у потрібному базисі є мінімізована функція ДНФ або КНФ,

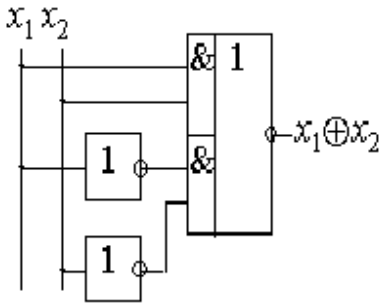
що має зображення в булевому базисі, тобто на елементах НЕ, І, АБО. У заданому базисі функцію реалізують шляхом її алгебричного перетворення за певними правилами. При цьому до базисів І-НЕ та І-АБО-НЕ простіше перетворюються функції, зображені в ДНФ, а до базису АБО-НЕ – в КНФ.



а

2.3.2. Способи спрощення логічних схем

1. Проблема схемної мінімізації. Розглянута мінімізація логічної функції в МДНФ та МКНФ відображає її в булевому базисі, який є малопридатний щодо технічної реалізації. Серії сучасних інтегрованих мікросхем містять різні комплекти стандартних логічних елементів, у тому числі багатовходових, використання яких дозволяє *мінімізувати схеми*. Проте в загальному вигляді проблема схемної мінімізації в різних функційно повних системах на цей час не розв'язана.



б

Рис. 2.12

У багатьох випадках мінімізація функції передує переходу від булевого до інших базисів та подальшим перетворенням з метою спрощення структурної функції.

Аби полегшити подібні перетворення, далі розглядаються окремі прийоми схемної мінімізації, тобто способи зменшення складності логічної схеми. Як показник її складності за звичай використовується потрібна кількість корпусів $q_к$ однотипних ІС. На стадії логічного проектування відносно простих схем користуються показником складності структурної функції у вигляді суми $q=q_е+q_в$ потрібної кількості логічних елементів $q_е$ та загальної кількості їх входів $q_в$ (іноді складність зручніше оцінювати потрібною загальною кількістю зовнішніх виводів інтегрованих мікросхем $q_{з.в}$). Проте наочним для порівняння схем і зручним під час їх технічної реалізації на логічних елементах (на вентильному рівні) є показник у вигляді зазначення через риску кількості елементів на загальну кількість їх входів $q=q_е/q_в$, яким і користуватимемося далі.

Складність легко оцінити безпосередньо з виразу підрахуванням кількості логічних операцій та змінних (літер), що входять до кожної з них. Так, у виразі (2.2) маємо два елементи І та один АБО по два входи кожний, а також два інвертори по одному входу, тобто разом q=5/8 (див. рис. 2.9,*а*). У виразах, перетворених до базисів І-НЕ та АБО-НЕ, досить підрахувати кількість знаків інверсії (елементи) та змінних під кожним з них (входи).

2. Редукція в диз'юнктивній формі. Якщо об'єднанню до сполук з більшої кількості одиниць на діаграмі термів заважають окремі нулі, функцію можна спростити, розглядаючи спочатку ці нулі як одиниці, а відтак скоригувати її ви-

лученням з множини одиниць зайві нульові клітинки. Систематизовану процедуру такого спрощення називають редукцією. *У загальному вигляді* під час мінімізації в ДНФ редукцію можна виконати доповненням заданої функції y неперетинною з нею допоміжною функцією y_1 таким чином, аби об'єднання D цих функцій та сама допоміжна функція y_1 були якомога простішими. Тоді, на підставі (2.9) шукану функцію дістаємо з виразу

$$y = D \setminus y_1 = D\overline{y_1}. \qquad (2.19)$$

Так, мінімізацією звичайним чином функції, заданої діаграмою 1 на рис. 2.13,*а*

$$y = x_1\overline{x_2} + \overline{x_2}x_4 + \overline{x_1}\,\overline{x_3}x_4 = \overline{\overline{x_1}\,\overline{x_2}} \cdot \overline{\overline{x_2}x_4} \cdot \overline{\overline{x_1}\,\overline{x_3}x_4},$$

маємо реалізацію її в базисі І-НЕ складністю q=7/13. Редукцію виконуємо в такий спосіб. Введенням допоміжної функції $y_1=x_1x_2$ (зазначена зірочками) мімімізуємо утворене об'єднання (на діаграмі обведено)

$$D = x_1 + \overline{x_2}x_4 + \overline{x_3}x_4 = x_1 + \overline{x_2x_3}x_4$$

і за (2.19) у підсумку отримуємо структурну функцію

$$y = D\overline{y_1} = \left(x_1 + \overline{x_2x_3}x_3\right)\overline{x_1x_2} = \overline{x_1\overline{x_1x_2}} \cdot \overline{x_1x_2x_2x_3x_4},$$

яка реалізується мінімальною схемою в базисі І-НЕ складністю q=5/11 (рис. 2.13,*б*).

З метою спрощення допоміжної функції до неї можна долучити інші нульові клітинки (якщо вони є), які не входять до об'єднання. При цьому корекція за виразом (2.19) не змінює функцію, бо згідно з операцією заборони 0\1=0.

Якщо в нашому прикладі утворити об'єднання, обведене на діаграмі (2) $D=x_1+x_4$, то для вилучення зайвих клітинок, позначених зірочками, до допоміжної функції (пунктир) додаємо ще шосту клітинку: $y_1=x_1x_2+x_2x_3$. У підсумку маємо шукану функцію

$$y = D\overline{y_1} = \left(x_1 + x_4\right)\overline{x_1x_2 + x_2x_3} = \overline{x_1\overline{x_1x_2 + x_2x_3}} \cdot \overline{x_1x_2 + x_2x_3x_4},$$

яка реалізується мінімальною схемою з використанням елемента І-АБО-НЕ складністю q=4/10 (рис. 2.13, *в*).

Цілком зрозуміло, що редукцію можна застосувати і не до функції в цілому, а лише до її фрагменту, якщо така процедура приводить до мінімальнішої форми. Тоді, під час коригування фрагменту за (2.19) до допоміжної функції з метою її спрощення можна долучити одиничні клітинки, що перетинаються з рештою функції. Це означає, що мінтерм, охоплений однією сполукою одиниць, не обов'язково повторювати в інших сполуках.

У прикладі на діаграмі (3) частину функції x_4 (верхня половина діаграми) не має потреби коригувати, а з решти одиниць та нульової клітинки, поміченої

зірочкою, утворюємо об'єднання $D=x_1+x_3$ (обведено суцільною лінією). Для вилучення нульової клітинки до допоміжної функції $y_1=x_1x_2x_3$ додаємо ще сьому клітинку, бо вона вже репрезентована у функції частиною $\overline{x_4}$. Отже, маємо структурну функцію

$$y=\overline{x_4}+D\overline{y_1}=(x_1+x_3)\overline{x_1x_2x_3}+\overline{x_4}=\overline{\overline{x_1}\,\overline{x_1x_2x_3}}\cdot\overline{x_3\,\overline{x_1x_2x_3}\,x_4}, \qquad (2.20)$$

для реалізації в базисі І-НЕ за мінімальною схемою (рис. 2.13,*г*) складністю q=4/10 (проти 7/13 або 6/12 у варіантах без редукції).

3. Редукція в кон'юнктивній формі. Враховуючи дуальність алгебри логіки щодо логічних функцій І та АБО, аналогічну редукцію можна виконати і під час мінімізації в КНФ. Але тепер до нульових клітинок функції y з метою спрощення їх сполук на діаграмі долучаємо ще деякі одиничні клітинки, утворюючи допоміжну функцію y_1, якщо доповнення об'єднання $\overline{D}$ цих функцій (тобто сполучення нульових і ще приєднаних одиничних клітинок) і нова функція y_1 виявляються простими. Для здобуття шуканої функції необхідно в утвореному об'єднанні відновити одиничні клітинки, тобто виконати операцію імплікації

$$y=\overline{D}\leftarrow y_1=\overline{D}+\overline{y_1}. \qquad (2.21)$$

Так, МКНФ функції, що задана діаграмою (4) на рис. 2.13,*а*, перетворена до базису АБО-НЕ, відповідає складності q=7/13:

$$y=(x_1+\overline{x_2})(\overline{x_2}+x_4)(\overline{x_1}+\overline{x_3}+x_4)=\overline{\overline{x_1}+\overline{x_2}+\overline{x_2}+x_4+\overline{x_1}+\overline{x_3}+x_4}.$$

Для редукції спочатку з одиничних клітинок (помічені зірочками) утворюємо допоміжну функцію, яку (вважаючи ці клітинки нульовими) зображаємо в МКНФ: $y_1=x_1+x_2$. Відтак долученням цих клітинок до нульових утворюємо доповнення об'єднання (обведено суцільною лінією) і також мінімізуємо його в МКНФ:

$$\overline{D}=x_1(\overline{x_2}+x_4)(\overline{x_3}+x_4)=x_1(\overline{x_2}\,\overline{x_3}+x_4)=x_1(\overline{x_2+x_3}+x_4)\ .$$

Нарешті, за (2.21) дістаємо спрощений вираз шуканої функції

$$y=\overline{D}+\overline{y_1}=x_1(\overline{x_2+x_3}+x_4)+\overline{x_1+x_2}$$

та користуючись розподільчим законом $ab+c=(a+c)(b+c)$ переходимо до базису АБО-НЕ

$$y=(x_1+\overline{x_1+x_2})(\overline{x_2+x_3}+x_4+\overline{x_1+x_2})=\overline{\overline{x_1}+\overline{x_1+x_2}+\overline{x_2+x_3}+\overline{x_1+x_2}+x_4}$$

зі складністю q=5/11 (відповідає схемі на рис. 2.13, *б*, якщо елементи І-НЕ замінити на АБО-НЕ).

4. Алгебричне виконання редукції. Наведена в п. 2, 3 графічна процедура редукції за допомогою діаграм термів є наочною і практично не потребує то-

тожних перетворень. Природно, у простих випадках редукція виконується і алгебрично. Інколи перетворення спрощуються шляхом мінімізації в МКНФ функції для реалізації в базисі І-НЕ та в МДНФ – для реалізації в базисі АБО-НЕ. Наприклад, об'єднанням нулів на діаграмі 3 рис. 2.13, *а*, одержуємо МКНФ і за розподільчим законом (8*б* у табл. 2.2) зводимо до виразу

$$y = \left(x_1 + x_3 + \overline{x_4}\right)\left(\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4}\right) = \left(x_1 + x_3\right)\left(\overline{x_1} + \overline{x_2} + \overline{x_3}\right) + \overline{x_4} = \left(x_1 + x_3\right)\overline{x_1 x_2 x_3} + \overline{x_4},$$

від якого легко перейти до (2.20).

Алгебрично редукцію виконувати доцільно у випадку різного входження *однакових* змінних (без інверсії та з інверсією) до кількох термів безпосередньо за формулами в диз'юнктивній та кон'юнктивній формах відповідно:

$$A\overline{B} = A\overline{A} + A\overline{B} = A\left(\overline{A} + \overline{B}\right) = A\overline{AB}; \qquad (2.22)$$

$$A + \overline{B} = \left(A + \overline{A}\right)\left(A + \overline{B}\right) = A + \overline{A}\,\overline{B} = A + \overline{A + B}; \qquad (2.23)$$

астосовуючи двічі перетворення за цими формулами, наприклад, до (2.2), (2.5)

$$y = x_1\overline{x}_2 + \overline{x}_1 x_2 = x_1\overline{x_1 x_2} + x_2\overline{x_1 x_2} = \overline{\overline{x_1 x_1 x_2}\cdot\overline{x_2 x_1 x_2}}; \qquad (2.24)$$

$$\overline{y} = (x_1 + \overline{x}_2)(\overline{x}_1 + x_2) = \left(x_1 + \overline{x_1 + x_2}\right)\left(x_2 + \overline{x_1 + x_2}\right) =$$

$$= \overline{\overline{x_1 + \overline{x_1 + x_2}} + \overline{x_2 + \overline{x_1 + x_2}}}, \qquad (2.25)$$

дістанемо мінімальні схеми реалізації функцій виняткове АБО та виняткове АБО-НЕ відповідно в базисах І-НЕ та АБО-НЕ складністю 4/8. На рис. 2.13 *д* наведено одну з двох цих дуальних схем.

Узагальнюючи, можна дійти висновку, що процедура редукції відображається на схемі додатковим рівнем сполучення логічних елементів. З утворених спрощених сполук діаграми зайві клітинки (разом з приєднаними, за змогою, сусідніми) вилучаються за допомогою тих логічних елементів вхідного рівня, виходи яких є *спільними* для входів кількох елементів наступного схемного рівня. Це добре видно з наведених прикладів на рис. 2.13,*б*,*в*,*г*,*д*.

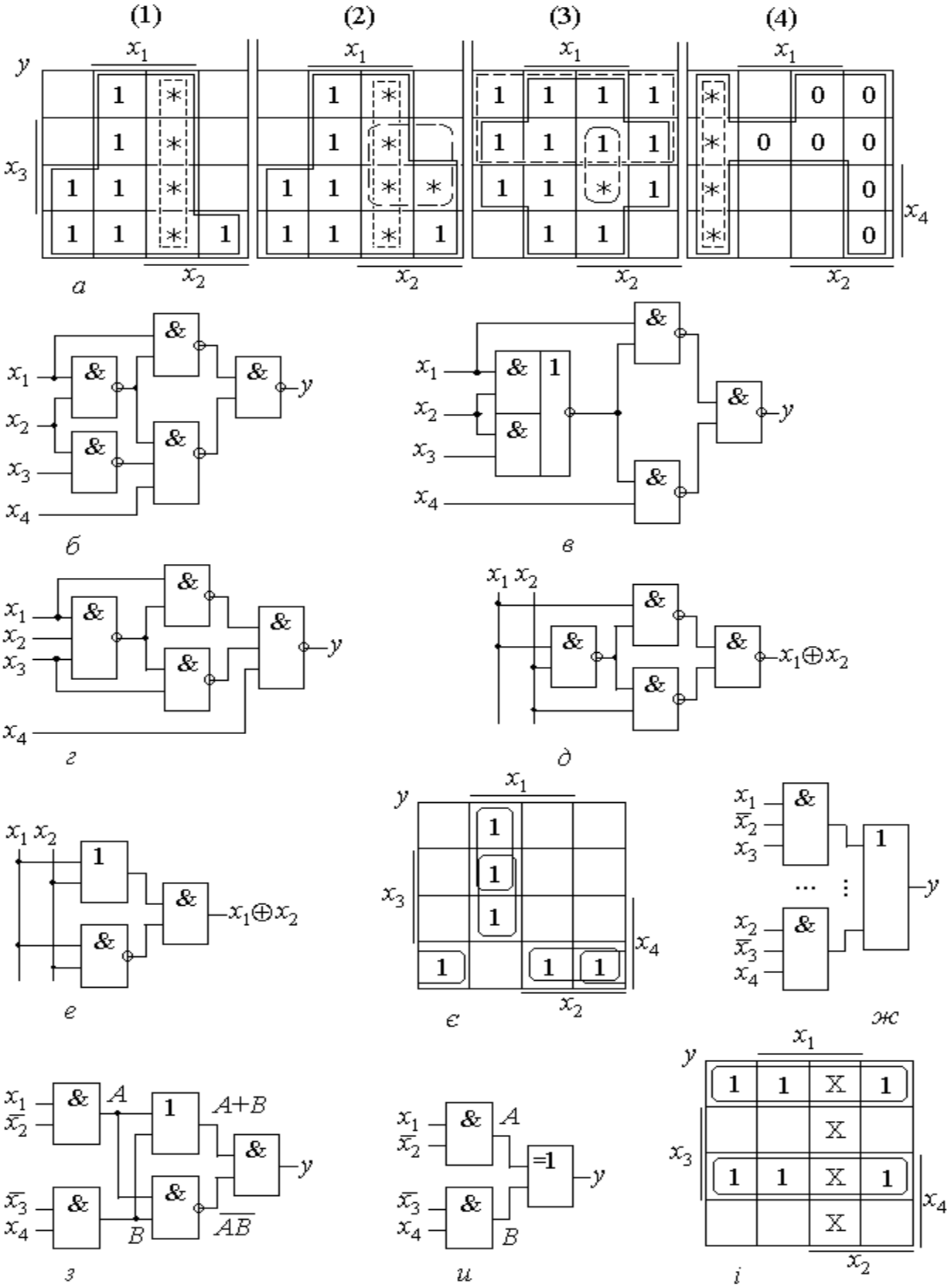
5. Реалізація в мішаній формі. З огляду на те, що сучасні серії інтегрованих мікросхем містять велику номенклатуру типономіналів, для спрощення схем широко використовують різні логічні елементи, тобто практично структурну функцію часто реалізують у мішаній формі.

Передусім, спрощення виконують *зменшенням кількості інверсій*, зокрема, без переходу до іншого базису. Так, формули (2.3), (2.4) перетворюють у вигляді

$$\overline{y} = x_1 x_2 + \overline{x_1}\,\overline{x_2}; \quad y = \overline{x_1 x_2 + \overline{x_1 + x_2}};$$

$$y = \left(x_1 + x_2\right)\left(\overline{x_1} + \overline{x_2}\right) = \left(x_1 + x_2\right)\overline{x_1 x_2}$$

і реалізують без додаткових інверторів як для прикладу на рис. 2.13,*е* подано схему для другої з цих мінімальних форм.


(1)
(2)
(3)
(4)
а
б
в
г
д
е
є
ж
з
и
і
Рис. 2.13

У мішаній формі з *використанням складніших елементів*, що виконують різноманітні логічні функції, можна значно спростити схему. Прикладами є вже розглянута реалізація (2.3) в базисі І-АБО-НЕ (див. рис. 2.12,*б*), а також *відокремлення елемента* виняткове АБО наведене в п. 6.

6. Каскадна реалізація термів. Сутність такого спрощення полягає в тому, що в первісному по мінімізації виразі відокремлюють спільні для кількох термів частини винесенням їх за дужки, позначають якимось символом і використовують кілька разів для реалізації функції, внаслідок чого схема в цілому вкорочується.

Розглянемо такий прийом на прикладі функції, заданої таблицею термів на рис. 2.13,*є*. За сполуками одиниць дістаємо МДНФ

$$y = x_1\overline{x_2}x_3 + x_1\overline{\overline{x_2}\,x_4} + \overline{x_1\overline{x_3}}x_4 + x_2\overline{x_3}x_4$$

що реалізується схемою, фрагмент якої наведено на рис. 2.13,*ж*, складністю q=9/20 з урахуванням вхідних інверторів, які тут і далі не показані. Спрощення виконуємо таким чином. Позначаємо спільні частини $A = x_1\overline{x_2}$, $B = \overline{x_3}x_4$, виносимо їх за дужки та перетворюємо МДНФ з урахуванням (2.22)

$$y = Ax_3 + A\overline{x_4} + \overline{x_1}B + x_2B = A\left(x_3 + \overline{x_4}\right) + B\left(\overline{x_1} + x_2\right) = A\overline{\overline{x_3}x_4} + B\overline{\overline{x_2}x_1} =$$
$$= A\overline{B} + B\overline{A} = A\overline{AB} + B\overline{AB} = \left(A + B\right)\overline{AB}.$$

Отже, складність схеми зменшується до q=7/12 (рис. 2.13,*з*). Якщо доповнити сполуки одиниць долученням дев'ятої клітинки, цього ж висліду можна дійти коротше, процедурою редукції.

Ще більше спрощується схема відокремленням елемента виняткове АБО

$$y = A\overline{B} + B\overline{A} = A \oplus B,$$

складність її становить q=5/8 (рис. 2.13,*и*).

7. Частково визначені функції. Якщо деякі вхідні кортежі за умов роботи пристрою не виникають, то функція є *частково визначеною*. Наприклад, у двійково-десяткових кодах (див. табл. 1.6, 1.8) набори змінних при X_{10}>9 є заборонені, тобто функція на цих наборах лишається невизначеною, що можна тлумачити як байдужі (факультативні) її значення X=0 або 1, бо вони не зустрічаються під час правильної роботи пристрою.

Хай функція чотирьох змінних набуває одиничного значення на кортежах: i=0, 1, 2, 12, 13, 14, крім того, забороненими є кортежі i=3, 7, 11, 15 та нульовими всі інші. На діаграмі термів (рис. 2.13,*і*) факультативні значення функції помічено позначкою X. З метою спрощення під час мінімізації функції невизначені умови *довизначають* таким чином, аби утворювались найбільші сполуки з одиниць, а далі мінімізують як звичайно. У прикладі в двох клітинках, які доцільно приєднати до одиниць, вважаємо X=1, а в двох інших – X=0. Зчитування по утворенні сполук дає спрощену МДНФ

$$y = x_3 x_4 + \overline{x_3}\,\overline{x_4} = \overline{x_3 \oplus x_4},$$

що є функцією виняткове АБО-НЕ. Не важко переконатись, що той самий результат отримаємо об'єднанням на діаграмі нулів і аналогічним довизначенням клітинок Х.

Отже, чим більше існує заборонених кортежів, на яких функція є невизначеною, тим більше є можливості для її спрощення.

Таким чином, після мінімізації логічну функцію доцільно додатково спростити для реалізації її з урахуванням потрібного елементного базису. Для цього застосовують перетворення по зменшенню кількості інверсій в термах, переходу до структурної функції в мішаній формі, відокремленню спільних фрагментів у кількох термах з метою їх каскадної реалізації, використанню більш складних елементів, зокрема, типових пристроїв більшого ступеня інтеграції.

2.3.3. Спрощення логічних схем з багатьма виходами

Окрема реалізація функцій для кожного з виходів схем з багатьма виходами, здебільшого, спричиняє нераціональні витрати елементів. З метою оптимальної побудови схеми в цілому вдаються до *спільної реалізації* сукупності функцій. Для цього логічні функції перетворюють таким чином, аби вони містили спільні частини, тобто виконують каскадну реалізацію шляхом порівняння можливих варіантів і вибору з-поміж них оптимального або, принаймні, прийнятнішого. Такі перетворення виконують аналогічно, як і при каскадній реалізації термів (п.2.3.2), з тією тільки різницею, що спільні частини відокремлюють у кількох функцій. Але шлях подібних перетворень із перебором варіантів може виявитися неозорим для більш-менш складних схем.

Полегшити розв'язання задачі спільної мінімізації можна застосуванням формалізованих способів, два з яких наводяться нижче.

1. Теоретико-множинний спосіб. Спільні частини функцій можна виокремити шляхом використання співвідношень, виходячи з теоретико-множинних уявлень (п.2.1.5). Продемонструємо спосіб на прикладі спільної мінімізації сукупності функцій з різними типами зв'язку між ними (таблиця відповідності на рис. 2.14,*а* без колонки *j*). На рис. 2.14,*б* компактно зображено 12 діаграм термів: 7 для заданих функцій $y_1 ... y_7$ та 5 для співвідношень між цими функціями та їх частинами.

а) Неперетинні функії. Мінімізуємо функції y_1, y_2, які є неперетинні, бо, як добре видно з їх діаграм, $K_{12}=y_1y_2=0$ (далі операції між функціями позначатимемо подвійним індексом відповідно до їх нумерації). У цьому випадку згідно з (2.9) для композиції є всього 3 складники: 2 функції, які є невідомі, та диз'юнкція, отже, потрібно мінімізувати два складники і через них виразити третій. Мінімізуємо першу функцію як найпростішу

$$y_1 = x_1 x_2$$

і диз'юнкцію $D_{12}=y_1+y_2$ (див. діаграму D_{12})

$$\overline{D}_{12} = \overline{x_1}\,\overline{x_2} = \overline{x_1 + x_2},$$

на основі яких за (2.9) дістаємо вираз другої функції

$$y_2 = \overline{y_1} D_{12} = \overline{y_1 + \overline{D}_{12}}$$

та реалізуємо обидві функції y_1, y_2 спільно на трьох елементах (схемну реалізацію без додаткових посилань див. на рис. 2.14,*в*).

Якщо вважати функцію y_3 відомою, так само можна мінімізувати неперетинну з нею функцію y_5. Для цього об'єднанням одиниць з діаграм y_3 і y_5 будуємо діаграму $D_{35}=y_3+y_5$ (див. рис. 2.14,*б*) та мінімізуємо диз'юнкцію. Неважко помітити, що функція y_2 перетворюється в D_{35} додаванням до неї нижнього рядка одиниць, тобто $D_{35}=y_2+x_3$. Тоді

$$y_5 = \overline{y}_3 D_{35} = \overline{y_3 + \overline{D}_{35}},$$

отже, функція y_5 реалізується на двох елементах АБО-НЕ.

б) Включення шуканої функції до складу відомої. За спільної мінімізації функцій y_2 і y_3 має місце випадок $y_3 \subset y_2$, бо діаграма y_3 є частиною діаграми y_2. Як і в попередньому випадку, маємо згідно з (2.10) теж 3 складники: y_2, y_3 та $R_{23}=y_2\backslash y_3$, отже, діємо в такий самий спосіб. Простішу функцію y_2 вже визначено, тому будуємо діаграму для різниці вилученням одиниць із тих клітинок діаграми y_2, що збігаються з одиницями діаграми y_3 (див. діаграму R_{23}), що еквівалентно вилученню з діаграми y_2 нижнього рядка, тобто x_3:

$$R_{23} = y_2 \setminus x_3 = y_2 \overline{x_3} = \overline{\overline{y_2} + x_3}.$$

Відтак, згідно з (2.10) функцію

$$y_3 = y_2 \overline{R}_{23} = y_2 \left(\overline{y_2} + x_3\right) = y_2 x_3$$

реалізуємо елементом І.

в) Включення відомої функції до складу шуканої. За спільної мінімізації функцій y_3 і y_4 ситуація зворотна попередній: тепер функція y_3, яку вважаємо відомою, є частиною шуканої, тобто $y_3 \subset y_4$, що видно безпосередньо з діаграм.

Тому, згідно з (2.11), будуємо діаграму для різниці $R_{43}=y_4\backslash y_3$, яка збігається з діаграмою y_1, тобто $R_{43}=y_1$, отже, маємо реалізацію на елементі АБО:

$$y_4 = R_{43} + y_3 = y_1 + y_3.$$

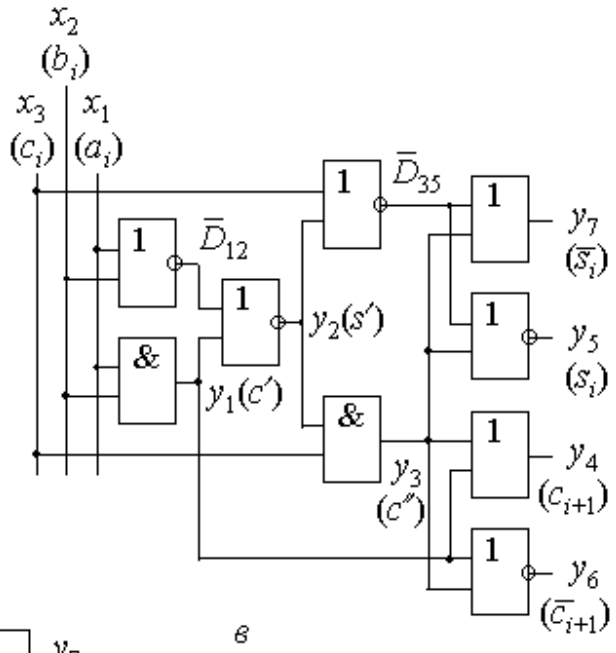
Очевидно, такий самий результат можна дістати, якщо за відому функцію взяти y_1, бо тоді різниця становитиме $R_{41}=y_4\backslash y_1=y_3$; отже, $y_4=y_1+R_{41}=y_1+y_3$.

г) Інверсія. Безпосередньо з таблиці відповідності видно, що останні дві функції є інверсії вже відомих $y_6 = \overline{y_4}$, $y_7 = \overline{y_5}$ і найпростіше реалізуються за допомогою інверторів. Проте такий спосіб пов'язаний із погіршенням швидкодії (п.2.4.3). У разі неприйнятності

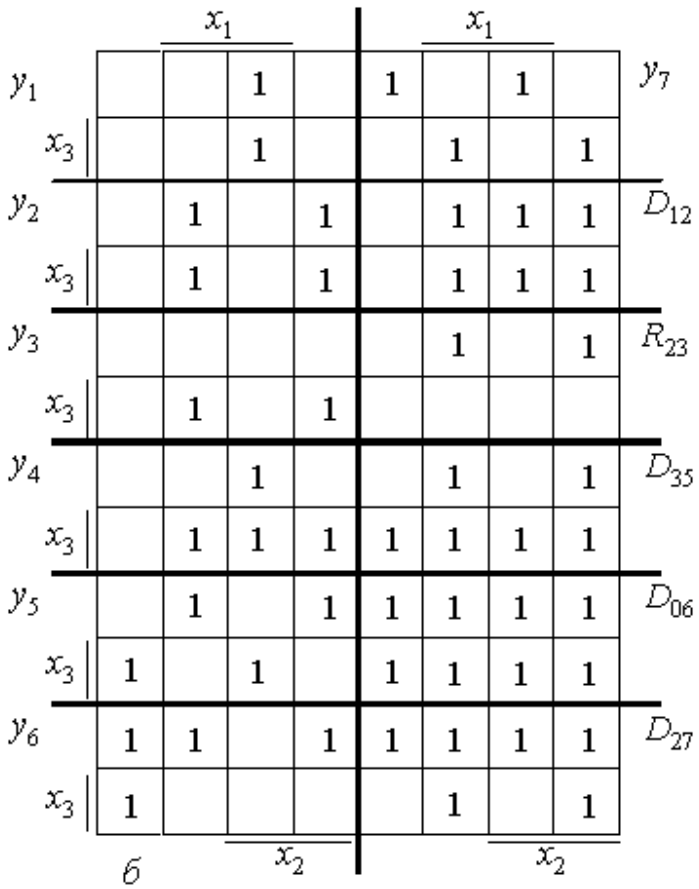
цього утворюють *обернені функції* $y_6=^{\circ}y_4$, $y_7=^{\circ}y_5$, які є логічно еквівалентні інверсіям $\overline{y_4}$, $\overline{y_5}$, але формуються окремо, аналогічно прямим функціям. У загальному випадку, коли функції є частково визначеними, вони можуть довизначатися по-

i	8	4	2	1							j
	x_3	x_2	x_1	y_1	y_2	y_3	y_4	y_5	y_6	y_7	
0	0	0	0	0	0	0	0	0	1	1	0
1	0	0	1	0	1	0	0	1	1	0	2
2	0	1	0	0	1	0	0	1	1	0	4
3	0	1	1	1	0	0	1	0	0	1	7
4	1	0	0	0	0	0	0	1	1	0	8
5	1	0	1	0	1	1	1	0	0	1	11
6	1	1	0	0	1	1	1	0	0	1	13
7	1	1	1	1	0	0	1	1	0	0	15

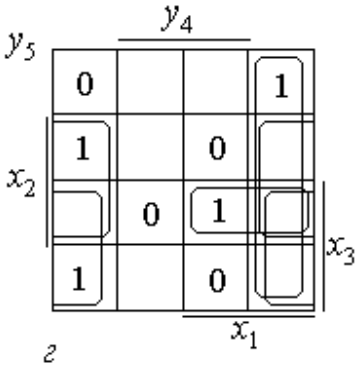
а



в



б



г

Рис. 2.14

різному при синтезі прямих і обернених функцій з метою спрощення виразів. Внаслідок цього вирази для $^{\circ}y$ і $\overline{y}$ можуть не зводитись один до одного шляхом тотожних перетворень. У цьому й полягає різниця між оберненою і інверсною функціями. Розглянемо синтез функцій y_6, y_7 як обернених до y_4, y_5.

д) Використання кількох функцій. Інколи кращий результат спільної реалізації можна дістати, якщо під час синтезу шуканої функції за відому правитиме якась композиція (кон'юнкція, різниця тощо) кількох вже відомих функцій. Прикладом є використання такої композиції для синтезу функції y_6, коли за відому функцію правитиме об'єднання $D_{12}=y_1+y_2$ (див. діаграму), яке позначимо $y_0=D_{12}$.

е) Суцільне покриття області визначення. При цьому маємо випадок, коли об'єднання шуканої і відомої функцій $D_{06}=y_6+D_{12}=1$ покриває всю діаграму одиницями (див. рис. 2.14,б), а їх перетин $y_6D_{12}\neq 0$ відмінний від нуля. На підставі (2.8) визначаємо різницю $R_{06}=D_{12}\backslash y_6$, діаграма якої збігається з діаграмою y_4, що в свою чергу утворюється об'єднанням y_1 та y_3. Отже, функція

$$y_6 = {}^{\circ}y_4 = \overline{R}_{06} = \overline{y_1 + y_3}$$

реалізується елементом АБО-НЕ.

є) Загальний випадок співвідношення функцій. Якщо для синтезу функції y_7 скористатися вже реалізованою функцією y_2, то за ознаками $D_{27}=y_2+y_7\neq 1$, $K_{27}=y_2y_7\neq 0$ маємо загальний випадок їх співвідношення. Вибираючи варіант виразу (2.7), синтезуємо D_{27} і K_{27}. Діаграму D_{27} (див. рис. 2.14,*б*) легко пов'язати з діаграмою y_2 додаванням до останньої верхнього рядка одиниць: $D_{27}=y_2+\overline{x_3}$, а діаграми K_{27} і y_3 збігаються: $K_{27}=y_3$. Отже, з урахуванням $D_{35}=y_2+x_3$ маємо

$$y_7 = {}^{\circ}y_5 = \overline{y_2}D_{27} + K_{27} = \overline{y_2}\left(y_2 + \overline{x_3}\right) + y_3 = \overline{y_2 + x_3} + y_3 = \overline{D}_{35} + y_3,$$

тобто функція реалізується елементом АБО.

Як і слід було сподіватися, обернені функції утворюються так само, як і прямі, якщо останні елементи в них мають взаємоінверсні виходи. Проте у випадку частково визначених функцій реалізація може бути простішою, якщо останній елемент прямої або оберненої функції має об'єднувати менше термів попередніх ступенів схеми.

Зауважимо, що синтезована схема є суматором (див. табл. 1.10), в дужках на ній наведені прийняті позначення сигналів. Складність синтезованої схеми по прямих виходах y_4, y_5 або по інверсних виходах y_6, y_7 становить q=7/14.

2. Спосіб із розширенням вхідного кортежу. Другий спосіб полягає в тому, що відома функція вводиться до вхідного кортежу шуканої, тобто розглядається як додаткова її змінна. По мінімізації дістаємо вираз шуканої функції, аргументом якої крім змінних є ще відома функція, отже, досягається їх

каскадна реалізація.

Розглянемо цей спосіб на прикладі спільної мінімізації функцій y_4, y_5 (див. рис. 2.14,*а*). Спочатку за допомогою діаграми (див. рис. 2.14,*б*) мінімізуємо функцію y_4, яку вважаємо простішою

$$y_4=x_1x_2+x_1x_3+x_2x_3=x_1x_2+(x_1+x_2)x_3=A+Bx_3,$$

де $A=x_1x_2$, $B=x_1+x_2$. Її схема, що є мажоритарним елементом (див. рис. 2.3), має складність q=4/8. Розширюючи вхідний кортеж функції $y_5=f(y_4,x_1,x_2,x_3)$, у таблиці відповідності над цими змінними проставляємо вагові коефіцієнти коду $j=x_3x_2x_1y_4$, заповнюємо колонку j, що відображає нумерацію клітинок діаграми (рис. 2.14,*г*), та вносимо до неї з таблиці значення y_5. Ця функція виявляється тепер частково визначеною з факультативними значеннями X у порожніх клітинках на неіснуючих у таблиці кортежах j. Дійсно, наприклад, кортеж j=1 є неможливий, бо в суматорі за нульових доданків $x_3=x_2=x_1=0$ не може бути перенесення до старшого розряду y_4=1, тому кодові j=1 відповідає y_5=X. Мінімізація дає функцію

$$y_5=\overline{y_4}x_1+\overline{y_4}x_2+\overline{y_4}x_3+x_1x_2x_3=\overline{y_4}(B+x_3)+Ax_3,$$

яка з використанням частин A, B функції y_4 має складність q=5/9. Отже, спільна реалізація характеризується складністю схеми q=9/17 проти q=7/14 за попереднім способом.

Обидва розглянуті способи спільної реалізації сукупності функцій можуть доповнювати один одного. При цьому спосіб, що ґрунтується на теоретико-множинних уявленнях, є гнучкіший щодо компонування шуканої функції з уже відомих функцій або їх частин. Способом розширення вхідного кортежу ускладнюється мінімізація за великої кількості змінних. Особливості мінімізації сукупності частково визначених функцій розглядаються в п.2.4.2.

§2.4. ПРОЕКТУВАННЯ ЛОГІЧНИХ СХЕМ

2.4.1. Завдання та етапи логічного проектування

Проектування ЦП полягає у формулюванні технічного завдання, розробці структурної схеми і алгоритмів функціонування пристрою (у разі потреби, також окремих його частин), логічного проектування і, насамкінець, технічного проектування, пов’язаного з розробкою робочих схем та креслень, конструкції, технології, виконання інших заходів щодо підготовки до виготовлення виробу.

Завдання *логічного проектування* полягає у відшуканні такої логічної функції та схеми, яка забезпечує заданий алгоритм функціонування, тобто виконання потрібної функції пристрою за мінімуму необхідного для його реалізації обладнання – кількості елементів, що відповідають певним технічним вимогам. Вибір

елементної бази (глави 3, 4) передує логічному проектуванню і може коригуватися після нього з метою задовольнити такі вимоги, як швидкодія, споживана потужність, завадостійкість, надійність, серійноспроможність, вартість, габарити тощо.

Незважаючи на особливості різних за характером цифрових пристроїв, можна відокремити загальні *етапи*, притаманні формалізованому логічному проектуванню: 1) математичне моделювання функціонування пристрою; 2) синтез логічної функції, здатної забезпечити алгоритм функціонування, та її мінімізація для скорочення апаратурних витрат; 3) схемна реалізація, що полягає в перетворенні логічної функції з метою отримати схему пристрою з урахуванням елементної бази. Схарактеризуємо коротко ці етапи.

На *першому етапі* як підсумок структурного та алгоритмічного проектування пристрою складається його математична модель у вигляді таблиці відповідності, таблиці або діаграми термів, графа переходів, логічної функції тощо. Вихідною математичною моделлю для певного кола типів пристроїв можна вважати ДДНФ або ДКНФ логічної функції, до яких легко перейти від будь-якої форми задання функціонування пристрою.

Другий етап проектування полягає в синтезі шуканої логічної функції в коротшій формі методом перетворень за допомогою діаграм термів (методом Вайча-Карно) або формалізованими алгебричними методами.

І, нарешті, на *третьому етапі* вирішується завдання перетворень МДНФ (МКНФ) із застосуванням способів схемної мінімізації до функції в будь-якій формі, зокрема, мішаній, зручній для побудови пристрою з урахуванням вибраної елементної бази. Здобуту таким чином формулу часто називають *структурною* логічною функцією, а цей етап – її схемною реалізацією.

Таким чином, логічне проектування полягає в здобутті структурної функції, яка відображає логічну схему, здатну забезпечити заданий алгоритм функціонування пристрою за мінімуму обладнання.

2.4.2. Методика проектування логічних схем

Залежно від компонентів, на яких реалізується логічна схема, розрізняють логічне моделювання на різних рівнях. Тут ми розглядаємо проектування *на рівні логічних елементів* (вентильному рівні), тобто на ІС малого ступеня інтеграції. Крім того, обмежуємося поки що лише схемами без зворотних зв'язків, хоч основні принципи проектування застосовуються для будь-яких схем. Вважатимемо також, що логічному проектуванню передує як визначення в будь-якій формі функціонування проектованого пристрою, так і вибір елементної бази з урахуванням технічних характеристик пристрою та його компонентів. Методику логічного проектування розглянемо окремо для схем з одним виходом та з кількома виходами.

1. Схеми з одним виходом. Припустімо, задано реалізувати частково визначену функцію y_1 (рис. 2.15,*а*) в елементному базисі І-НЕ. Проектування доцільно виконувати в такому порядку.

а) За таблицею відповідності для функції y_1 будуємо діаграму термів (на рис.2.15,*б* компактно подано шість діаграм), до якої вносимо тільки нулі та одиниці, тоді порожнім клітинкам відповідатимуть факультативні значення Х.

б) Мінімізуємо логічну функцію, застосовуючи, щомога, прийоми спрощення (п.2.3.2). У прикладі, по-перше, для утворення найкращих об'єднань довизначаємо клітинку з кодом i=12 нулем, а всі інші порожні клітинки – одиницями (колонка довизначеної функції відображена в таблиці в дужках). По-друге, застосовуємо редукцію, вважаючи спочатку клітинки i=14, 15 одиничними, а відтак, коригуємо функцію вилученням цих клітинок

$$y_1 = (x_1 + x_2) \setminus x_2 x_3 x_4 = (x_1 + x_2) \cdot \overline{x_2 x_3 x_4}. \qquad (2.26)$$

Інший шлях спрощення полягає у виборі з-поміж мінімальних форм такої, яка має меншу складність реалізації та в якій інверсії змінних, по змозі, зосереджені в окремих термах, а не розподілені між ними. У нашому випадку такою є МКНФ, яку отримуємо за сполуками нулів

$$y_1 = (x_1 + x_2)(\overline{x_2} + \overline{x_3} + \overline{x_4}) \qquad (2.27)$$

і яка зводиться до (2.26).

в) Шляхом тотожних перетворень здійснюємо подальше спрощення та перехід до структурної функції з урахуванням елементної бази. У прикладі розкриттям дужок переходимо від КФ (2.26) до ДФ, а відтак – до базису І-НЕ:

$$y_1 = x_1 A + x_2 A = \overline{BC}, \qquad (2.28)$$

де $A = \overline{x_2 x_3 x_4}$; $B = \overline{x_1 A}$; $C = \overline{x_2 A}$.

г) За отриманою структурною функцією будуємо схему (на рис. 2.15,*в* частина схеми по виходу y_1) та оцінюємо ефективність і, отже, доцільність виконаного її спрощення порівнянням складності, що за (2.28) становить q=4/9 проти 6/10 за первісним по мінімізації виразом без застосування редукції.

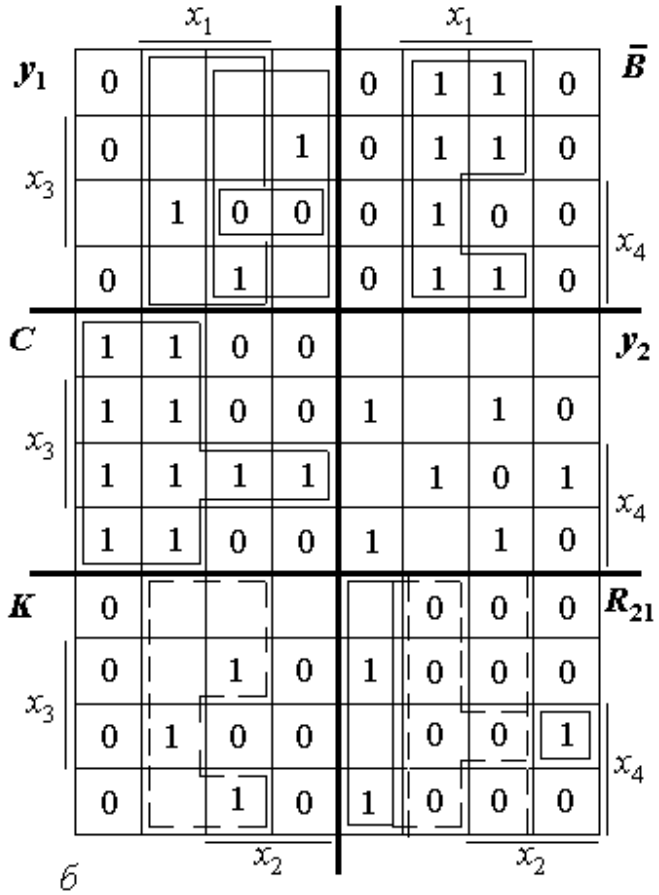
д) Визначаємо основні параметри (п.2.4.3): швидкодію, яка в прикладі через триступеневу реалізацію оцінюється затримкою $t_у = 3t_{з.п}$; максимальний коефіцієнт об'єднання, що становить для одного елемента m=3, а для трьох інших m=2; навантаження на джерела сигналів, яке не перевищує розгалуження на k=2 входи, інші технічні параметри (споживана потужність, напруга живлення тощо), що визначаються характеристиками елементної бази.

2. Схеми з кількома виходами. Порядок логічного проектування розглянемо на прикладі схеми з двома виходами y_1, y_2, що задана таблицею відповідності (див. рис. 2.15,*а*).

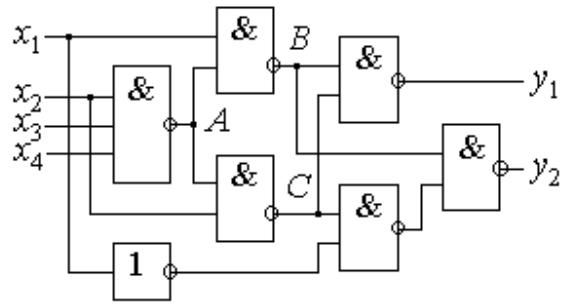
а) Попередньо мінімізуємо логічні функції окремо, порівнюємо їх у булевому

i	x_4	x_3	x_2	x_1	y_1	y_2	K	R_{21}
0	0	0	0	0	0	X	0	X
1	0	0	0	1	X (1)	X (1)	X (1)	0
2	0	0	1	0	X (1)	X (0)	X (0)	0
3	0	0	1	1	X (1)	X (1)	X (1)	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	X (1)	X (1)	X (1)	0
6	0	1	1	0	1	0	0	0
7	0	1	1	1	X (1)	1	1	0
8	1	0	0	0	0	1	0	1
9	1	0	0	1	X (1)	X (1)	X (1)	0
10	1	0	1	0	X (1)	0	0	0
11	1	0	1	1	1	1	1	0
12	1	1	0	0	X (0)	X	0	X
13	1	1	0	1	1	1	1	0
14	1	1	1	0	0	1	0	1
15	1	1	1	1	0	0	0	0

а



б



в

y_1	y_2	D	K	R_{12}	R_{21}	M
0	0	0	0	0	0	0
0	1	1	0	0	1	1
1	0	1	0	1	0	1
1	1	1	1	0	0	0

г

Рис. 2.15

базисі та вибираємо одну з простіших, бажано таку, яка за деякими фрагментами логічного виразу або за розташуванням нулів чи одиниць на діаграмі наближається до інших. У прикладі функцію y_1 визначено виразом (2.28), а функцію y_2 (на діаграмах y_1, y_2 рис. 2.15,*б* подано одиниці та нулі, інші клітинки є невизначеними) мінімізуємо за сполуками одиниць та з урахуванням (2.22) зводимо до мінімальної форми

$$y_2 = \overline{x_2} + x_1\overline{x_3} + x_1\overline{x_4} + \overline{x_1}x_3x_4 = \overline{\overline{x_2 x_1 x_1 x_3 x_4} \cdot \overline{x_3 x_4 x_1 x_3 x_4}} \qquad (2.29)$$

зі складністю q=4/11. Отже, простішою вважаємо функцію y_1,?? яка згідно з (2.28) складається з фрагментів *A, B, C*. Для наочності фрагменти *B* та *C* подано на діаграмах рис. 2.15,*б*.

б) З'ясовуємо, чи не є співвідношення між шуканою функцією y_2 та функцією y_1, яку вважаємо відомою, окремим випадком (п.2.1.5). Безпосередньо з діаграм видно, що їх об'єднання $D\neq1$, перетин $K\neq0$, тому маємо загальний випадок (2.7). При реалізації схеми, наприклад, в базисі І-НЕ всі логічно еквівалентні варіанти виразу (2.7) приводять до однакового результату, тому з-поміж них слід вибрати найпростіший для мінімізації і перетворень. З порівняння діаграм у прикладі вибираємо пару K і R_{21} (див. рис. 2.15,*б*).

в) За діаграмами мінімізуємо вирази результатів вибраних операцій.

Особливістю спільної мінімізації частково визначених функцій є необхідність забезпечення *сумісності операцій* як між собою, так і з функціями, над якими вони виконуються, бо під час довизначення порожніх клітинок на діаграмах можуть утворитися неможливі співвідношення, що суперечать таблиці відповідності (рис. 2.15, *г*).

Аби уникнути цього, доцільно діяти в такому порядку. Вважаємо спочатку функцію y_1 відомою і повністю визначеною (нагадаємо, що тепер порожні клітинки на її діаграмі, крім i=12, відповідають лог. 1), а функцію y_2 – частково визначеною (основний її стовпець у таблиці). До стовпця перетину $K=y_1y_2$ переносимо всі нулі із зазначених колонок y_1 і y_2 та лише ті одиниці, що збігаються в порівнюваних стовпцях, а комбінації $K=y_1y_2=1X=X$ залишаються невизначеними. Відтак заповнюємо діаграму *K* та довизначаємо порожні клітинки для утворення найкращих об'єднань.

Метою мінімізації є утворення найпростішої функції з використанням відомих функцій або їх частин. Якщо на діаграмі *K* клітинку i=2 довизначити нулем, а інші одиницями (подано в дужках біля стовпця *K* таблиці), то повністю повторюється діаграма $\overline{B}$, тобто

$$K = \overline{B}. \qquad (2.30)$$

Цього висновку можна дійти й аналітично. Три сполуки з чотирьох одиниць кожна, зважаючи на (2.28), дають вираз

$$K = x_1\overline{x_2} + x_1\overline{x_3} + x_1\overline{x_4} = x_1\left(\overline{x_2} + \overline{x_3} + \overline{x_4}\right) = x_1\overline{x_2x_3x_4} = x_1A = \overline{B}.$$

Таким довизначенням кон'юнкції автоматично довизначається й частина функції y_2 (наведено в дужках біля її стовпця таблиці): $y_2=K$, якщо y_1=1, а на наборах i=0 та 12, що відповідають $y_1=K$=0, вона лишається невизначеною.

У такий самий спосіб мінімізуємо й результат другої операції $R_{21}=y_2\backslash y_1$. До стовпця R_{21} переносимо з колонки y_2 тільки ті одиниці, що відповідають y_1=0, а інші значення виявляються нульовими, крім тих, де y_2=X, y_1=0, які залишаються невизначеними (для i=0 та 12). Якщо довизначити їх одиницями на діаграмі R_{21},

отримаємо діаграму C, з якої вирізано смугу одиниць завширшки x_1, тобто

$$R_{21} = C \setminus x_1 = C\overline{x_1}. \qquad (2.31)$$

Аналітично це можна виразити з двох сполук одиниць з урахуванням (2.28):

$$R_{21} = \overline{x_1}\,\overline{x_2} + \overline{x_1}x_3x_4 = \overline{x_1}\left(\overline{x_2} + x_3x_4\right) = \overline{x_1}\,\overline{\overline{x_2}\,\overline{x_3x_4}} = \overline{x_1}\,\overline{\overline{x_2}\,\overline{x_2x_3x_4}} = \overline{x_1}\,\overline{x_2}\,\overline{A} = \overline{x_1}C.$$

Тепер решту значень X у стовпцях R_{21} та y_2 довизначено до X=1.

Таким чином, довизначаємо й мінімізуємо не саму функцію y_2, а співвідношення між функціями, у нашому випадку K та R_{21}. Якщо для спрощення виразів цих операцій бажано інакше довизначити функцію y_1 без істотного її ускладнення, розглядаємо варіанти і вибираємо найкращий.

г) Завершуємо проектування аналогічно схемі з одним виходом. У прикладі згідно з (2.7), (2.30), (2.31) дістаємо структурну функцію

$$y_2 = K + R_{21} = \overline{B} + \overline{x_1}C = \overline{B\,\overline{\overline{x_1}C}}$$

та реалізуємо її в базисі І-НЕ (див. рис. 2.15,*в*). Ефективність виконаного проектування спільною мінімізацією функцій оцінюємо складністю схеми q=7/14 проти 8/20 при окремій їх реалізації.

У варіанті з використанням операції додавання за модулем два з (2.7) маємо $y_2=y_1\oplus M$. Неважко переконатися, що за довизначення функції як у прикладі, дістанемо $M=\overline{y}_1\oplus y_2=x_1$.Отже, функція

$$y_2 = y_1 \oplus M = y_1 \oplus \overline{x_1} = \overline{y_1 \oplus x_1}$$

реалізується лише одним додатковим елементом І-АБО-НЕ.

2.4.3. Елементи технічного проектування

Вже на стадії логічного проектування потрібно враховувати можливості елементної бази щодо схемної реалізації синтезованої структурної функції. Це врахування може спричинити перетворення функції до такого виразу, який технічно можна втілити на ІС вибраної серії. Крім виконуваних елементами серії логічних функцій доводиться зважати й на такі особливості, які стосуються технічного проектування. Розглянемо основні з них.

1. Врахування швидкодії логічних елементів. Логічний елемент умовно можна моделювати двома частинами: безінерційною, що виконує логічну функцію, наприклад, інверсію (рис. 2.16,*а*), та елементом затримки D (Delay – затримка), який відображає перехідні процеси (рис. 2.16,*б*) усталення вихідного сигналу. Тривалість перехідних процесів відлічується відносно порогової напруги $U_{\text{п}}$ спрацьовування елемента й оцінюється часом затримки поширення сигналу $t^{10}_{\text{з.п}}$ під час переходу вихідної напруги від рівня лог. 1 – U^1 до рівня лог. 0 – U^0 та часом затримки поширення $t^{01}_{\text{з.п}}$ під час перемикання в протилежному напрямку. За ланцюжкового сполучення елементів зручно користуватися усередненим параметром – середнім часом затримки поширення $t_{\text{з.п}} = 0{,}5(t^{10}_{\text{з.п}}+$

$+t^{01}_{\text{з.п}}$), а часові діаграми зображати ідеалізовано (рис. 2.16,*в*). Часові інтервали на них позначатимемо цифрами, які вказують на тривалість у кількості середніх затримок $t_{\text{з.п}}$.

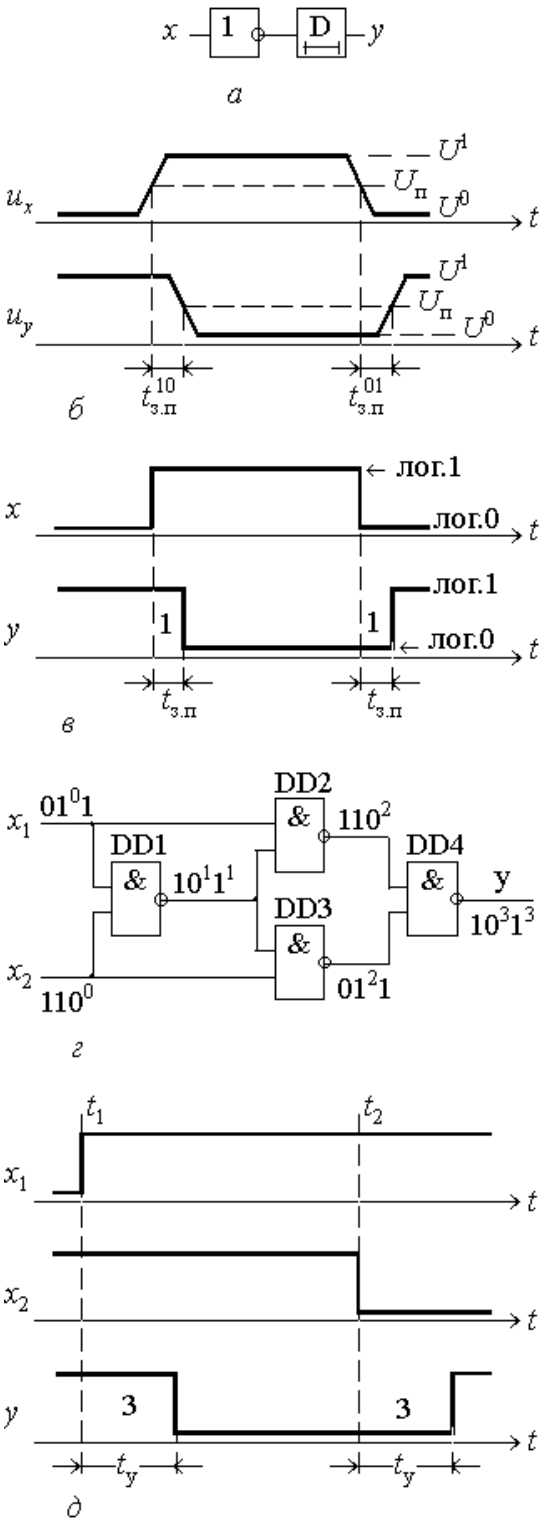


Рис. 2.16

Умовна дискретизація перехідних процесів у часі дозволяє спростити підрахунок швидкодії ЦП до виразу: $t_{\text{у}}=Nt_{\text{з.п}}$, де $t_{\text{у}}$ – час усталення сигналу на виході пристрою, N – максимальна кількість однотипних елементів на шляху поширення його від входу до виходу. Наприклад, час усталення в елементі виняткове АБО (див. рис. 2.13,*г*) визначається затримкою трьох елементів І-НЕ. Для наочності шлях поширення сигналу позначатимемо його двійковими кодами безпосередньо на схемі (рис. 2.16,*г*). У першій позиції кодів наведено початковий стан схеми при $x_1=0$, $x_2=1$. У другій позиції нульовим індексом вгорі $x_1=1^0$ зазначено, що від зміни цього рівня на вході починається відлік затримки поширення сигналу на шляху: $x_1\rightarrow$DD1$\rightarrow$DD3$\rightarrow$DD4$\rightarrow y$, тому на виході елемента DD1 індексом 1 позначено одну затримку $t_{\text{з.п}}$, на виході DD3 – дві затримки і, нарешті, на виході y – три затримки. На часових діаграмах (рис. 2.16,*д*) цей процес відображено, починаючи з моменту t_1.

Аналогічно відбувається перехідний процес по зміні рівня на другому вході до $x_2=0$, як зазначено кодами в третій позиції станів і на діаграмах у момент t_2. Отже, час усталення пристрою під час перемикання в обох напрямках становить $t_{\text{у}}=3t_{\text{з.п}}$.

При зображенні логічного виразу в універсальних базисах І-НЕ чи АБО-НЕ час усталення можна підрахувати за найбільшою кількістю інверсій над аргументами. Так, безпосередньо з (2.24) за трьома інверсіями встановлюємо, що час поширення сигналу визначається затримкою трьох елементів І-НЕ.

Таким чином, час усталення ЦП визначається не тільки швидкодією елементів, але й *глибиною реалізації схеми*. Реалізація за первісними після мінімізації термами є двоступеневою (див. рис. 2.13,*ж*), якщо вхідні сигнали вважати двофазними, отже, має найвищу швидкодію. Спрощення схеми шляхом каскадування поряд із перевагою – ощадливістю обладнання – призводить одночасно до погіршення швидкодії. Так, схема на рис. 2.13,*з* має більшу глибину реалізації – є вже триступеневою. Якщо каскадна реалізація не задовольняє вимоги швидкодії, доводиться повертатися до двоступеневої реалізації з більшою складністю схеми.

2. Врахування коефіцієнта об'єднання. Якщо в елементі бракує входів для реалізації терма, вдаються до багатоступеневих (деревоподібних) схем нарощування коефіцієнта об'єднання. Елементи без інверсії на виході каскадуються за схемою на рис. 2.17,*а*, де позначка * вказує на двомісну операцію І, АБО чи суми за модулем два. Так, коефіцієнт об'єднання m=7 на двовходових елементах І утворюється за формулою:

$$y = DE = (AB)(Cx_7) = (x_1x_2)(x_3x_4)(x_5x_5)x_7,$$

яка потребує m-1 елементів.

Принцип об'єднання елементів з інверсією на виході (І-НЕ, АБО-НЕ) для виконання логічної функції, однойменної з назвою елемента (рис. 2.17,*б*), покажемо на прикладі операції І-НЕ для m=5:

$$y = \overline{ABx_5},\ \ A = \overline{\overline{x_1x_2}},\ \ B = \overline{\overline{x_3x_4}},$$

де подвійна риска означає, що одна інверсія виконується елементом І-НЕ, а друга – додатковим інвертором згідно з рис. 2.10,*б*, 2.11,*б*. При виконанні функції, протилежної назві елемента (у базисі І-НЕ виконується функція АБО-НЕ чи в базисі АБО-НЕ – функція І-НЕ), об'єднання ще більш ускладнюється (рис. 2.17, в), наприклад,

$$y = \overline{x_1x_2x_3x_4x_5} = \overline{\overline{A + B + \overline{x_5}}},$$

$$A = \overline{\overline{x_1} + \overline{x_2}},\ \ B = \overline{\overline{x_3} + \overline{x_4}}.$$

Багатоступеневими схемами можна реалізувати довільні коефіцієнти об'єднання, проте з погіршенням швидкодії і додатковими витратами елементів. Цей недолік послаблюється застосуванням модифікованих елементів з розширеними функційними можливостями або реалізацією у мішаному базисі шляхом перетворення функцій.

3. Врахування коефіцієнта розгалуження. Навантаження на кожне джерело зовнішнього вхідного сигналу або на елемент-джерело внутрішньої змінної, яка є функцією зовнішних аргументів, легко підраховується за кількістю входжень тієї чи тієї змінної до структурної функціїпроектованої логічної схеми.

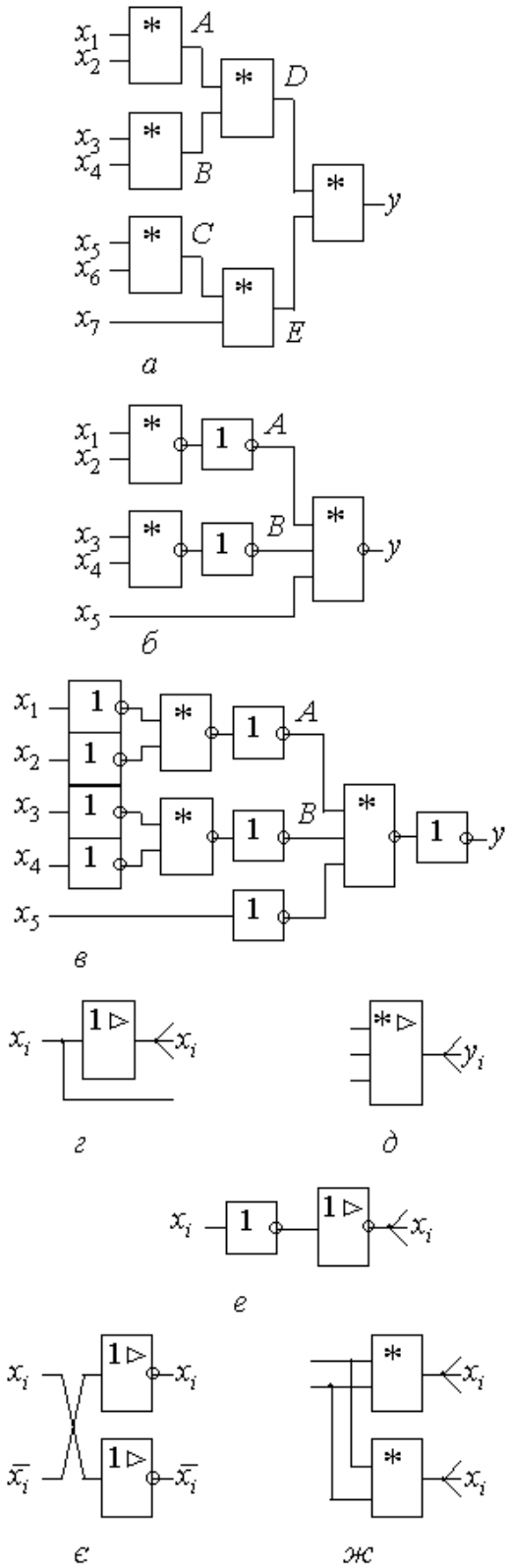


Рис. 2.17

Якщо ця кількість перевищує припустимий коефіцієнт розгалуження джерела, уживають заходів щодо його розвантаження.

Передусім, за допомогою додаткового елемента на вході, який відіграє роль підсилювача (рис. 2.17,*г*), розв'язують джерело сигналу від навантажувальних елементів, а всередині проектованої схеми при цьому замість звичайного застосовують елемент із підвищеною навантажівною здатністю (рис. 2.17,*д*). Якщо використовують підсилювальні елементи з інверсним виходом, відновлення аргументу здійснюють шляхом подвійного інвертування (рис. 2.17,*е*), а у випадку парафазних сигналів достатньо й одного інвертування (рис. 2.17,*є*). Для запобігання погіршенню швидкодії через затримку в додаткових розвантажувальних елементах уживають спосіб дублювання елемента (рис. 2.17,*ж*), якщо він сам не перевантажує сигнал.

4. Врахування небезпечних змагань сигналів. З огляду на неоднакові затримки в попередніх елементах і різні шляхи поширення виникають так звані змагання сигналів: вони потрапляють до входів пристрою неодночасно, внаслідок чого в ньому можуть утворюватися сигнали, не передбачені за правильної роботи пристрою – *ризики*, зокрема, імпульсні завади. У такому разі змагання є небезпечними. Якщо, наприклад, до входів елемента І-НЕ (рис. 2.18,*а*) перепади сигналів x_1, x_2 потрапляють одночасно (рис. 2.18,*б*) або негативний фронт випереджає позитивний (рис. 2.18,*в*), то на виході y ризики відсутні, а якщо, навпаки, позитивний фронт випереджає негативний, виникає ризик – імпульсна завада тривалістю $t_{\text{і}}$ (рис. 2.18,*г*), яка може спричинити хибне спрацьовування навантажувальних елементів.

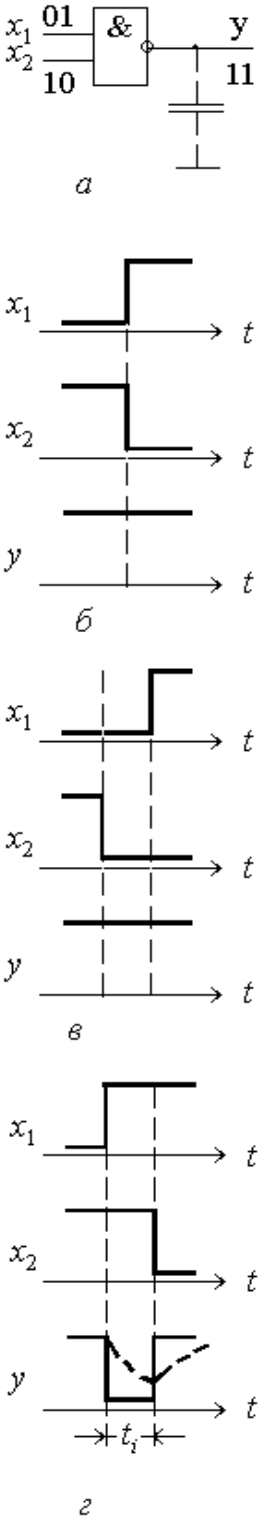


Рис. 2.18

Для усунення небезпечних змагань можна передбачити такий порядок зміни рівнів, коли паразитний викид стає дуже коротким або не виникає зовсім, наприклад, штучною затримкою сигналу x_1, як на рис. 2.18,*в*. Проте у відносно складних ЦП запобігти ризикам таким чином важко, тому вдаються до схемних засобів їх усунення. Якщо в окремі моменти часу можлива зміна лише одного вхідного сигналу, то є змога виконати логічну схему, вільну від небезпечних змагань. Умовою цього є зв'язність сполук на діаграмі термів: усі сусідні одиничні клітинки мають бути об'єднаними хоча б однією сполукою. Ця умова виконується, наприклад, на діаграмі рис.2.13,*є*, а на рис. 2.5,*в* слід увести дві додаткові сполуки, зображені пунктиром. Проте найчастіше застосовують синхронізацію пристроїв: спрацьовування елементів визначаються моментами надходження синхроімпульсів, період яких вибирається таким, щоб перехідні процеси усталення рівнів устигли закінчитись. Згідно з рис. 2.18,*г* зчитуванням вхідної інформації синхроімпульсом після інтервалу t_i можна позбутися паразитного викиду.

Заваду можна зменшити до припустимого рівня також за допомогою згладжувального фільтра типу інтегрувального кола (пунктир на рис. 2.18,*а*). Проте через погіршення швидкодії такого заходу вживають рідко, в основному, для виявлення місця виникнення завади: якщо з приєднанням до виходу y невеликої ємності викид зменшується (пунктир на рис. 2.18,*г*), слід усунути змагання сигналів на входах елемента.

Запитання та вправи

2.1. Які системи логічних функцій є функціонально повні? Які з них є мінімально повні? Доведіть, що мінімально повну систему утворюють: 1) операція заборони і константа одиниці, 2) операція імплікації і константа нуля.

2.2. Які є відмінні риси зображення логічних функцій, притаманні таким формам: мішаній, ДФ, ДНФ, ДДНФ, МДНФ, КФ, КНФ, ДКНФ, МКНФ?

2.3. Який логічний елемент *B* утворюється послідовним з'єднанням (умовно позначимо його знаком +) елементів НЕ на кожному з двох входів елемента *A* або (та) на його виході таким чином: *а*) *A*+*НЕ*=*B*, *б*) *НЕ*+*A*=*B*, *в*) *НЕ*+*A*+*НЕ*=*B*, якщо *A* є елемент: 1) АБО, 2) І, 3) виняткове АБО, 4) НІ, 5) АБО-НЕ, 6) І-НЕ, 7) виняткове АБО-НЕ, 8) імплікатор? Зобразіть 24 такі схеми.

2.4. Шляхом тотожних перетворень доведіть еквівалентність схем, поданих на рисунках: 2.9,*а*,*б*; 2.10,*ж*; 2.11,*ж*; 2.12,*б*; 2.13,*д*,*е* та за допомогою аналогічних перетворень наведіть паралельні схеми для елемента виняткове АБО-НЕ.

2.5. Доведіть співвідношення: 1) 8...12 з табл. 2.2; 2) $\overline{x_1} + x_1 x_2 = \overline{x_1} + x_2$;

3) $x_1 \oplus \overline{x_2} = \overline{x_1} \oplus x_2 = \overline{x_1 \oplus x_2}$; 4) $\overline{x_1} \oplus \overline{x_2} = x_1 \oplus x_2$;

5) $\overline{x_1} \oplus x_2 \oplus x_3 = x_1 \oplus \overline{x_2} \oplus x_3 = x_1 \oplus x_2 \oplus \overline{x_3} = \overline{x_1} \oplus \overline{x_2} \oplus \overline{x_3} = \overline{x_1 \oplus x_2 \oplus x_3}$;

6) $x_1 \oplus \overline{x_2} \oplus \overline{x_3} = \overline{x_1} \oplus x_2 \oplus \overline{x_3} = \overline{x_1} \oplus \overline{x_2} \oplus x_3 = x_1 \oplus x_2 \oplus x_3$;

7) $y_1 \oplus y_2 = (y_1 + y_2) \setminus y_1 y_2$; 8) $\overline{y_1 + y_2} = \overline{y_1 y_2} \setminus (y_1 + y_2)$; 9) $y_1 \setminus (y_1 \setminus y_2) = y_2 \setminus (y_2 \setminus y_1)$;

10) $y_2 \setminus (y_1 y_2) = (y_1 + y_2) \setminus y_1$; 11) $y_1 + (y_2 \setminus y_1) = y_1 + y_2$; 12) $y_1 y_2 + (y_2 \setminus y_1) = (y_1 + y_2) \setminus (y_1 \setminus y_2)$;

13) $y_1 y_2 \subset y_1 + y_2$; 14) $y_1 \subset y_2$, якщо $y_1 y_2 = y_1$ або $y_1 + y_2 = y_2$ або $y_1 \overline{y_2} = 0$; 15) $y_3 \subset y_1$ та $y_3 \subset y_2$, якщо $y_1 y_2 = y_3$; 16) $y_1 = \overline{y_2}$, якщо $y_1 + y_2 = 1$ та $y_1 y_2 = 0$; 17) $\overline{y_2} = y_1 \oplus y_1 y_2$, якщо $y_1 + y_2 = 1$ та $y_1 y_2 \neq 0$; 18) $y_2 = y_1 \oplus (y_1 + y_2)$, якщо $y_1 y_2 = 0$; 19) $y_1 \setminus y_2 = y_1$ та $y_2 \setminus y_1 = y_2$, якщо $y_1 y_2 = 0$; 20) $y_2 = y_1 \oplus (y_1 \setminus y_2)$, якщо $y_2 \subset y_1$. Співвідношення 7...20 проілюструйте графічно діаграмами Венна.

2.6. Спростіть вирази: 1) $(\overline{x_1} + \overline{x_2})(x_1 + x_3)(\overline{x_2} + x_3)$; 2) $x_1 \overline{x_2} + x_1 \overline{x_3} + \overline{x_1} x_2 + x_2 \overline{x_3}$;

3) $(\overline{x_1} + x_2)(x_1 + \overline{x_3})(x_2 + \overline{x_3})$; 4) $(x_1 + \overline{x_2})(\overline{x_1} + x_2)(\overline{x_1} + \overline{x_3})(x_2 + \overline{x_3})$;

5) $(\overline{x_1} + \overline{x_2} + \overline{x_3})(\overline{x_1} + x_2 + \overline{x_3})(\overline{x_1} + \overline{x_2} + x_3 + \overline{x_4})$; 6) $x_1 \overline{x_2} + x_1 \overline{x_3} + x_1 \overline{x_4} + x_2 \overline{x_3} + x_2 \overline{x_4}$;

7) $x_1 \overline{x_2 + x_3} + x_2 \overline{x_1 + x_3} + x_3 \overline{x_1 + x_2} + \overline{x_1 + x_2 + x_3}$;

8) $(x_1 + \overline{x_2})(x_1 + \overline{x_3})(x_1 + \overline{x_4})(x_1 + \overline{x_5})(\overline{x_2} + x_5)(\overline{x_3} + x_5)(\overline{x_4} + x_5)$. *Вказівка.* За необхідністю, скористайтеся діаграмами термів.

2.7. Мінімізуйте логічну функцію за методом Квайна - Мак-Класкі, яка набуває значення лог. 1 на кортежах *i*: 1) 3, 4, 5, 7, 9, 11, 12, 13; 2) 1, 3, 5, 7, 9, 11, 15; 3) 0, 2, 3, 5, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, 29, 31, а на всіх інших кортежах – лог. 0; 4) якщо на кортежах, зазначених у п.3 цієї вправи, функція набуває значення лог. 0, а на всіх інших – лог. 1.

2.8. Для функції, заданої таким чином: 1) словесно: y=1, якщо $x_4x_3 \geq x_2x_1$, тобто якщо код, утворюваний двома старшими бітами вхідного кортежу, більший або дорівнює кодові з його двох молодших бітів; 2) множиною мінтермів $\overline{y}$ ={M_1, M_4, M_5, M_7}, а M_0, M_2, M_3, $M_6 \notin \overline{y}$; 3) діаграмою термів D_{35} на рис. 2.14,*б*; 4) схемою по виходу y_6 на рис.2.14,*в*; 5) функцією довільної форми: $y=(x_1+x_2+x_3)(x_2+\overline{x_1x_4})(x_4+\overline{x_1x_3})\cdot\overline{\overline{x_1+x_2}\cdot\overline{x_3+x_4}}\cdot\overline{x_4\overline{x_1+x_2+x_3}}$; 6) нулями на діаграмі термів у клітинках *i*=0, 1, 4, 10, 11, 14, 16, 17, 20, 26, 27, 30 та всіма іншими одиницями; 7) одиницями в зазначених у п.6 цієї вправи клітинках *i* діаграми та нулями в усіх інших; 8) y=1 на кортежах *i*=1, 2, 5, 6, 8, 11, y=0 при *i*=0, 7, 9, 10, 13 та невизначену на інших кортежах, наведіть мінімальні форми для побудови схеми в базисах: *а*) булевому в послідовності НЕ, І, АБО; *б*) булевому в послідовності НЕ, АБО, І; *в*) І-НЕ; *г*) АБО-НЕ; *д*) І-АБО-НЕ; *е*) у мішаній формі, за змогою з використанням елементів виняткове АБО(-НЕ). Визначте складність та швидкодію схем.

2.9. Мінімізуйте схему в елементному базисі І-НЕ чи АБО-НЕ, який забезпечує меншу складність (на чотирьох логічних елементах за однофазного надходження змінних), для заданої логічної функції: 1) $y=(1\setminus x_3)\oplus(x_1\to\overline{x_2})$;
2) $y=1\setminus[x_2\oplus(\overline{x_3}\to x_1)]$; 3) $y=\overline{x_3\setminus x_2}\to(\overline{x_1}\oplus\overline{x_3})+(x_2\setminus x_1)$;
4) $y=1\setminus[(x_1\to x_2x_3)\to(x_2\oplus x_3)]$; 5) $y=1\setminus[(x_2+x_4)\to x_3\overline{x_1\oplus x_3}]$;
6) $y=1\setminus[(\overline{x_1}\to x_4)\setminus(x_3\overline{x_2\oplus x_3})]$; 7) $y=1\setminus[(x_1+x_2+\overline{x_3})\to x_3\overline{x_2\oplus x_4}\setminus(\overline{x_1}x_2x_3)]$;
8) $y=(x_1+\overline{x_2x_3})\to\overline{x_1+(x_2\oplus x_4)}\setminus(\overline{x_2}x_3)$; 9) $y=(x_2+\overline{x_1x_3+x_4x_5})\to(x_4x_5\setminus\overline{x_1\oplus x_2})$;
10) $y=1\setminus[(x_1+x_2+\overline{x_3\oplus x_4}\,\overline{x_3})\to x_4\overline{x_3+x_5}]$.

2.10. Виконайте спільну мінімізацію чотирьох вихідних функцій, що здійснюють перетворення ДДК 8421 згідно з табл. 1.6, 1.7 у такі коди: *а*) 2421, *б*) 7421, *в*) 8421+3 (з надлишком три), *г*) код Ґрея (перші десять цифр X_{10}=0...9 чотирирозрядного коду). *Вказівки.* На заборонених кортежах X_{10}>9 вважати функції невизначеними. Схему мінімальної складності реалізуйте на довільних логічних елементах.

Глава 3

ЕЛЕКТРОННІ КЛЮЧІ

Ключовими називають електронні пристрої, що працюють у двох режимах, які чітко розрізняються між собою: в одному з них електронний прилад повністю вимкнений, а в другому – повністю ввімкнений. Електронні ключі застосовуються для формування і генерування цифрових та імпульсних сигналів, виконання логічних функцій, а також у колах комутації, запобігання неприпустимим напругам тощо.

Ідеалізований ключ можна уявити як механічний перемикач S (рис. 3.1,*а*), здатний перебувати в двох станах: 1) у вимкненому стані він має нескінченно великий опір, струм через нього відсутній, а вихідна напруга максимальна й дорівнює напрузі джерела живлення: $u=U^1=E_ж$; 2) у ввімкненому стані опір ключа нульовий, через нього протікає максимально можливий струм $I=E_ж/R$, а вихідна напруга дорівнює нулю: $u=U^0=0$. За допомогою ключів S можна комутувати також джерело сигналу e (рис. 3.1,*б*,*в*).

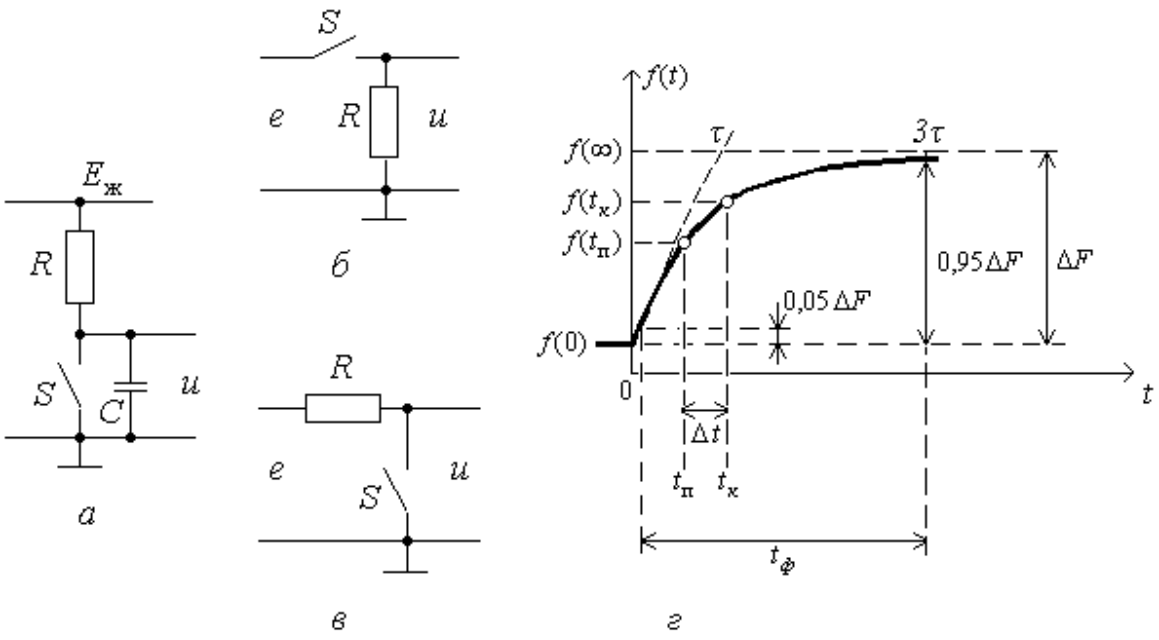


Рис. 3.1

У реальних електронних ключах зазначені співвідношення виконуються наближено, бо комутація здійснюєтья безконтактним способом за допомогою діодів, транзисторів, інших нелінійних елементів. Завдання побудови електронного ключа полягає в тому, аби забезпечити, з одного боку, перебування його в двох статичних станах: вимкненому та ввімкненому і, з іншого боку, потрібну швидкодію: час перемикання від одного стану до іншого має не перевищувати припустиму величину.

Час перемикання залежить від інерційності як електронного приладу, що виконує функції перемикача *S*, так і паразитних елементів, зокрема, *RC*-кола (див. рис. 3.1, *а*), яке відображає вплив паразитної ємності навантаження *C*. З певною мірою наближення перехідні процеси в подібних колах описуються інтегро-диференціальними рівняннями першого порядку. Відгуком такого кола на ідеалізований прямокутний перепад вхідного сигналу в момент t=0, як відомо, є експоненційна функція (рис. 3.1, *г*), що відображає вихідний сигнал (напругу, струм тощо):

$$f(t) = f(\infty) - \Delta F e^{-t/t}, \qquad (3.1)$$

де $\Delta F = f(\infty) - f(0)$ – повний розмах експоненти від початкового $f(0)$ до усталеного $f(\infty)$ значення, t – її стала часу.

На підставі (3.1) не важко визначити тривалість відтинка часу (див. рис. 3.1, *г*), протягом якого функція змінюється між відомими значеннями $f(t_п)$ та $f(t_к)$ відповідно на його початку $t_п$ та в кінці $t_к$:

$$\Delta t = t_к - t_п = t \ln \frac{f(\infty) - f(t_п)}{f(\infty) - f(t_к)} = t \ln(1 + x), \qquad (3.2)$$

де $x = \dfrac{f(\infty) - f(t_п)}{f(\infty) - f(t_к)}$.

Так, час усталення експоненти, наприклад, між її 5-відсотковими рівнями $f(t_п) = f(0) + 0{,}05\Delta F$ та $f(t_к) = f(\infty) - 0{,}05\Delta F$ згідно з (3.2) становить $t_ф \approx 3t$. Проте, враховуючи, що

$$\ln(1 + x) = x - \frac{x^2}{2} + \frac{x^3}{3} - \ldots \approx x$$

за умови x<<1, розрахунок невеликих відтинків часу за (3.2) істотно спрощується:

$$\Delta t \approx tx = t \frac{f(\infty) - f(t_п)}{f(\infty) - f(t_к)}. \qquad (3.3)$$

§3.1. ДІОДНІ КЛЮЧІ

3.1.1. Характеристики діодів

Найпростішим нелінійним елементом, здатним забезпечити два статичні стани ключа, є діод. Як ключові доцільно використовувати імпульсні діоди, які мають контрольований, досить малий час перемикання від одного стану до іншого, а також мале значення ємності $C_д$ між анодом та катодом, виміряне за відомої зворотної напруги $U_{зв}$.

На рис. 3.2,*а* наведено типові вольт-амперні характеристики (ВАХ) кремнійового (позначено *Si*), германійового (*Ge*) діодів та діода Шотткі (*D*), що виконується на основі переходу метал-напівпровідник. Параметрами прямої гілки ВАХ є напруга відтину $U_{до}$, за якої струм діода у прямому напрямку припиняється: $I_{пр}\approx 0$, та напруга прямого зміщення $U_{пр}$ за робочих значень струму $I_{пр}$. Для діодів в інтегрованому виконанні типовими можна вважати

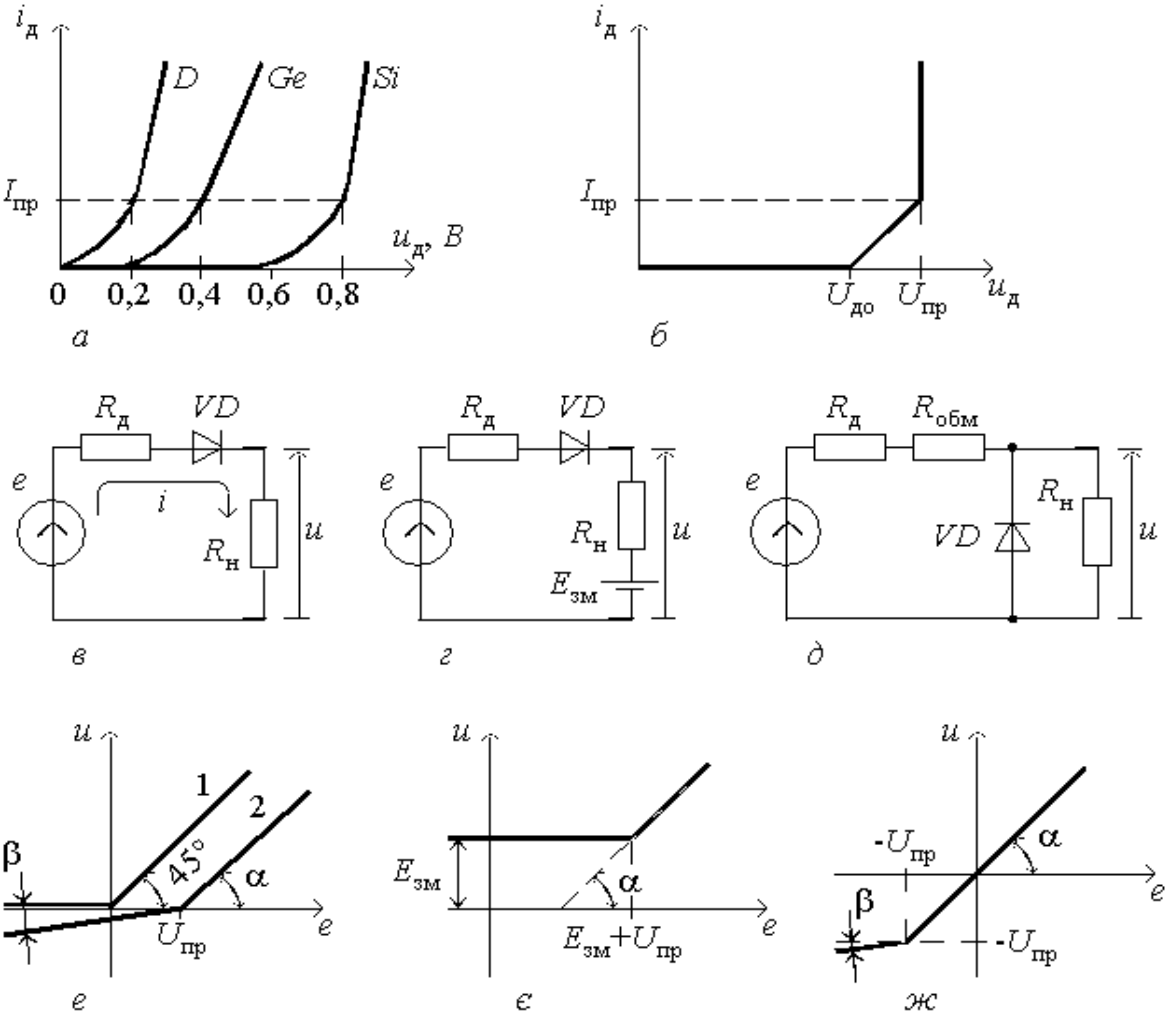


Рис. 3.2

параметри: $U_{до}\approx 0$, $U_{пр}\approx 0{,}2...0{,}3$ *В* – для діодів Шотткі, $U_{до}\approx 0{,}2$ *В*, $U_{пр}\approx 0{,}4...0{,}6$ *В* – для германійових діодів та $U_{до}\approx 0{,}6$ *В*, $U_{пр}\approx 0{,}7...0{,}8$ *В* – для кремнійових.

Для ВАХ кремнійових імпульсних діодів, як і *p*-*n*-переходів взагалі, прийнятною є шматково-лінійна апроксимація (рис. 3.2,*б*), бо напруга на *p*-*n*-переході $U_{пр}$ за його прямого зміщення майже не залежить від струму $I_{пр}$. Головними параметрами зворотної гілки ВАХ є зворотний тепловий струм $I_{до}$ та допустима зворотна напруга $U_{зв.доп}$, з перевищенням якої настає електричний пробій *p*-*n*-переходу. Струм $I_{до}$ значною мірою залежить від температури і в кремнійових діодів набагато нижчий, ніж у германійових, тому в цифрових пристроях на кремнійових напівпровідникових приладах ним звичайно нехтують.

3.1.2. Статичні режими

Залежно від способу ввімкнення діода *VD* відносно навантаження $R_н$ різні ключові схеми можна спрощено зобразити у вигляді послідовного (рис. 3.2,*в*,*г*) та паралельного (рис. 3.2,*д*) ключів, на схемах яких джерело сигналу репрезентоване генератором напруги *e* з внутрішнім опором $R_д$. Статичні режими ключів зручно розглядати за допомогою статичних передатних характеристик (ПХ) – залежності вихідної напруги від вхідної *u*(*e*) під час повільної зміни останньої.

1. Послідовний ключ. У послідовному ключі (див. рис. 3.2,*в*) негативною вхідною напругою $e<0$ діод *VD* зачинений, що відповідає розімкненому станові перемикача *S* (див. рис. 3.1,*б*) та горизонтальній лінії ідеалізованої ПХ 1 (рис. 3.2,*е*). Напруга на виході реальної схеми при цьому

$$u = g_{зв}\, e;\ \ g_{зв} = \frac{R_н}{R_н + R_{зв} + R_Д} \approx \frac{1}{1 + R_{зв} / R_н} \approx 0,$$

де $R_{зв}$ – опір діода, зміщеного у зворотному напрямку; звичайно $R_{зв} \gg R_д$. Якщо вибрати $R_н \ll R_{зв}$, вихідна напруга наближається до нуля і кут нахилу β на ПХ 2 становить $\beta = arctg\ \gamma_{зв} \approx 0$.

Позитивною напругою $e>0$ діод *VD* відчиняється, перемикач *S* переходить до замкненого стану, напруга на виході ідеалізованої схеми сягає $u=e$, що відповідає характеристиці 1 під кутом 45°. У реальній схемі діод починає відчинятися за напруги $e=U_{до} \approx U_{пр}$ (через те, що розхил ВАХ діода на рис. 3.2,*б* становить 0,1...0,2 *В*, можна вважати $U_{до} \approx U_{пр}$), тому вихідна напруга

$$u = g_{пр}\left(e - U_{пр}\right) \approx e - U_{пр};\ \ g_{пр} = \frac{R_н}{R_н + R_{зв} + R_Д} \approx \frac{1}{1 + \left(R_{зв} + R_Д\right)/ R_н} \approx 1, \quad (3.4)$$

де $R_{пр}$ – опір діода, зміщеного в прямому напрямку. Якщо вибрати $R_н \gg R_{пр}+R_д$, майже весь приріст напруги надходить до виходу, що відповідає куту нахилу характеристики $\alpha = arctg\ \gamma_{пр} \approx 45°$.

Об’єднуючи умови ввімкненого та вимкненого станів, дістанемо співвідношення, що забезпечує статичні режими послідовного ключа:

$$R_{\text{пр}}+R_{\text{д}}\ll R_{\text{н}}\ll R_{\text{зв}}. \qquad (3.5)$$

Порогова напруга вмикання послідовного ключа (див. рис. 3.2,*в*) дорівнює напрузі відтину діода $U_{\text{п}}=U_{\text{до}}\approx U_{\text{пр}}$, змінити яку можна за допомогою напруги від джерела зміщення $E_{\text{зм}}$ (див. рис. 3.2,*г*). У такій схемі за умови $e<E_{\text{зм}}+U_{\text{пр}}$ діод зачинений, бо до нього прикладено напругу $u_{\text{д}}=e-E_{\text{зм}}<U_{\text{пр}}$, тому на виході маємо $u=E_{\text{зм}}$ (рис. 3.2,*є*), а коли $e>E_{\text{зм}}+U_{\text{пр}}$, збільшення вихідної напруги майже повторює приріст вхідної. Змінюючи величину та полярність напруги $E_{\text{зм}}$, можна дістати ПХ з різними порогами вмикання.

2. Паралельний ключ. У паралельному ключі (див. рис. 3.2,*д*) за негативної вхідної напруги $e<0$ діод *VD* відчинений, що відповідає замкненому станові перемикача *S* (див. рис. 3.1,*в*), тому $u=0$. У реальній схемі у випадку $e<-U_{\text{пр}}$ за методом суперпозиції знайдемо

$$u = g_1 e - g_2 U_{пр} \approx -U_{пр};$$

$$g_1 = \frac{1}{1+\left(R_Д + R_{обм}\right)/R_{пр}} \approx 0; \quad g_2 = \frac{1}{1+R_{пр}/\left(R_Д + R_{обм}\right)} \approx 1,$$

де $R_{\text{обм}}$ – опір обмежувального резистора; $R_{\text{н}}\gg R_{\text{пр}}$, $R_{\text{н}}\gg R_{\text{д}}+R_{\text{обм}}$. Для забезпечення замкненого стану досить виконати умову $R_{\text{д}}+R_{\text{обм}}\gg R_{\text{пр}}$. При цьому нахил ПХ (рис. 3.2,ж) $\beta=\text{arctg}\,\gamma_1\approx 0$.

Коли $e>-U_{\text{пр}}$, діод *VD* зачиняється, перемикач *S* переходить до вимкненого стану, тому в ідеалізованій схемі вихідна напруга дорівнює вхідній, а в реальній схемі становить

$$u = g_3 e \approx e; \quad g_3 = \frac{1}{1+\left(R_Д + R_{обм}\right)/R_н} \approx 1,$$

якщо $R_{\text{зв}}\gg R_{\text{н}}$ та $R_{\text{н}}\gg R_{\text{д}}+R_{\text{обм}}$. Нахил ідеальної ПХ при цьому становить 45°, та реальної $\alpha=arctg\,\gamma_3\approx 45°$.

Отже, два статичні стани паралельного ключа забезпечуються виконанням умови

$$R_{\text{пр}}\ll R_{\text{д}}+R_{\text{обм}}\ll R_{\text{н}}. \qquad (3.6)$$

Змінюючи напрямок діода та додаючи послідовно з ним джерело зміщення $E_{\text{зм}}$, у паралельній схемі можна також здобути ПХ з різним напрямком та порогом вмикання.

З порівняння (3.5) та (3.6) випливає, що в послідовному ключі через великий опір $R_{\text{зв}}$ легше досягається чіткість вимикання, ніж у паралельному ключі, проте якщо джерело сигналу має великий внутрішній опір $R_{\text{д}}$, доцільніше використовувати паралельний ключ: у ньому за великого значення $R_{\text{д}}$ можна

вилучити обмежувальний резистор або зменшити його опір.

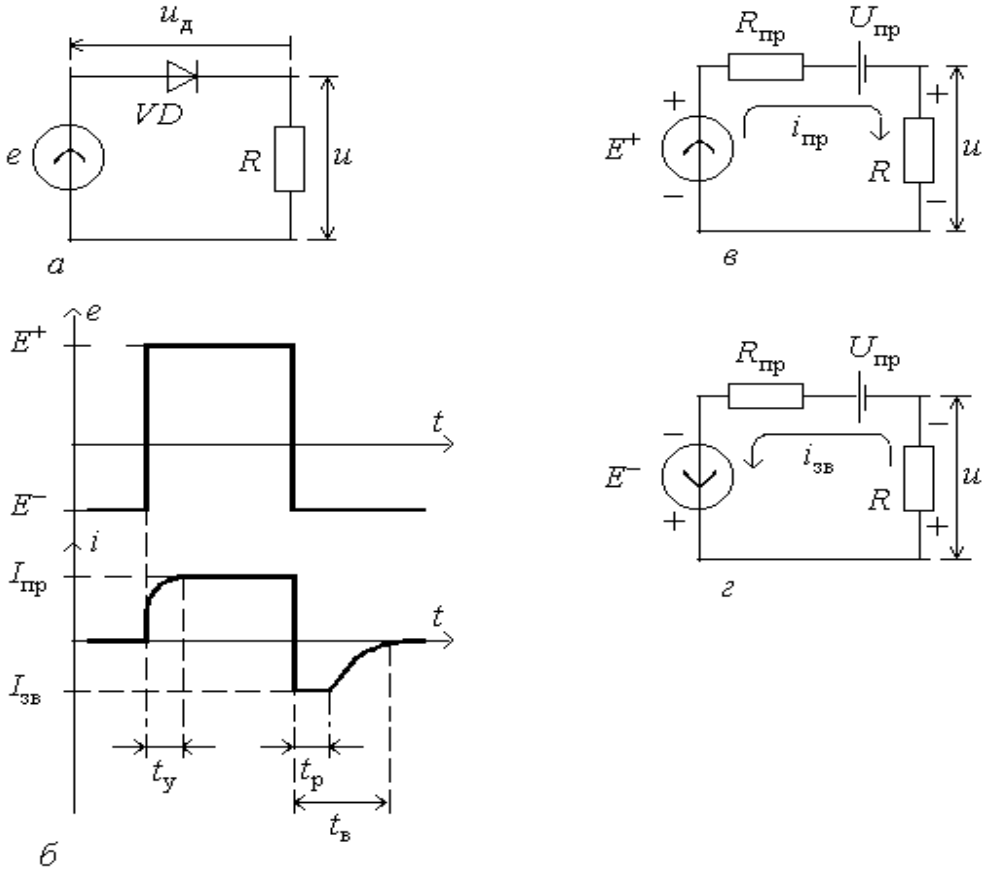


Рис. 3.3

3.1.3. Перехідні процеси

1. Вплив інерційності діода. Схему обох типів ключів можна наближено зобразити як на рис. 3.3,*а*. Для послідовного ключа $R \approx R_н$, бо $R_н \gg R_д$ і вихідною є напруга u на резисторі, а для паралельного ключа $R \gg R_д+R_{обм}$, бо $R_н \gg R_д+R_{обм}$ і вихідною є напруга $u_д$ на діоді. Перемикання ключа зручно розглядати під дією ідеального прямокутного імпульсу e (рис. 3.3,*б*). У *початковому стані* (див. рис. 3.3,*а*) негативною напругою $e=E^-$ діод зачинено, струм не протікає: $i \gg 0$.

Вмикання починається під час стрибкоподібного зростання вхідної напруги до величини $e=E^+$, коли на інтервалі $t_у$ відбувається усталення прямого опору діода, протягом якого в його базі поступово нагромаджується стаціонарний заряд. Спочатку опір діода $R_{зв}$ великий, а в міру збільшення кількості носіїв заряду в базі зменшується до $R_{пр}$, тому струм через нього $i_{пр}$ (рис. 3.3,*в*) зростає до величини $I_{пр}=(E^+-U_{пр})/(R+R_{пр})$. По закінченні цього процесу ключ переходить до стаціонарного ввімкненого стану. Час усталення прямого опору діода визначається ефективним часом життя нерівноважних носіїв заряду і без урахування сталої паразитних ємностей помітно не впливає на швидкодію.

Вимикання відбувається під час негативного стрибкоподібного приросту напруги до величини E^{-}. Спочатку, протягом часу розсмоктування $t_р$ надлишкового заряду опір діода $R_{пр}$ залишається малим, а напруга $U_{пр}$ на діоді – незмінною (як на зарядженому конденсаторі). Через це струм стрибком змінює свій напрямок на зворотний $i_{зв}$ (рис. 3.3,*г*) до значення $I_{зв}=(|E^{-}|+U_{пр})/(R+R_{пр})$. Після розсмоктування надлишкового заряду опір діода відновлюється до усталеного значення $R_{зв}$ і струм зменшується практично до нуля. Час відновлення зворотного опору діода $t_в>t_у$ є визначальним щодо швидкодії діодних ключів, тому наводиться в довідковій літературі практично для всіх імпульсних діодів.

2. Вплив паразитних ємностей. Інерційністю швидкодійних імпульсних діодів можна практично знехтувати в порівнянні зі впливом паразитних ємностей схеми. Основною є ємність C (рис. 3.4,*а*,*б*), яка містить ємність навантаження та монтажну, і може становити до десятків пікофарад. Тому впливом на перехідні процеси відносно малої ємності діода $C_д \approx 1...2$ *пФ* у послідовній схемі можна знехтувати, а в паралельній вона входить до складу загальної паразитної ємності C. Слід тільки враховувати, що в послідовному ключі ємність $C_д$ може спричиняти на виході схеми стрибки напруги: $\Delta U=E_m C_д/(C+C_д)$, де $E_m=E^1-E^0$ – амплітуда вхідного імпульсу. За умови $C_д \ll C$ ці стрибки помітно не впливають на форму напруги.

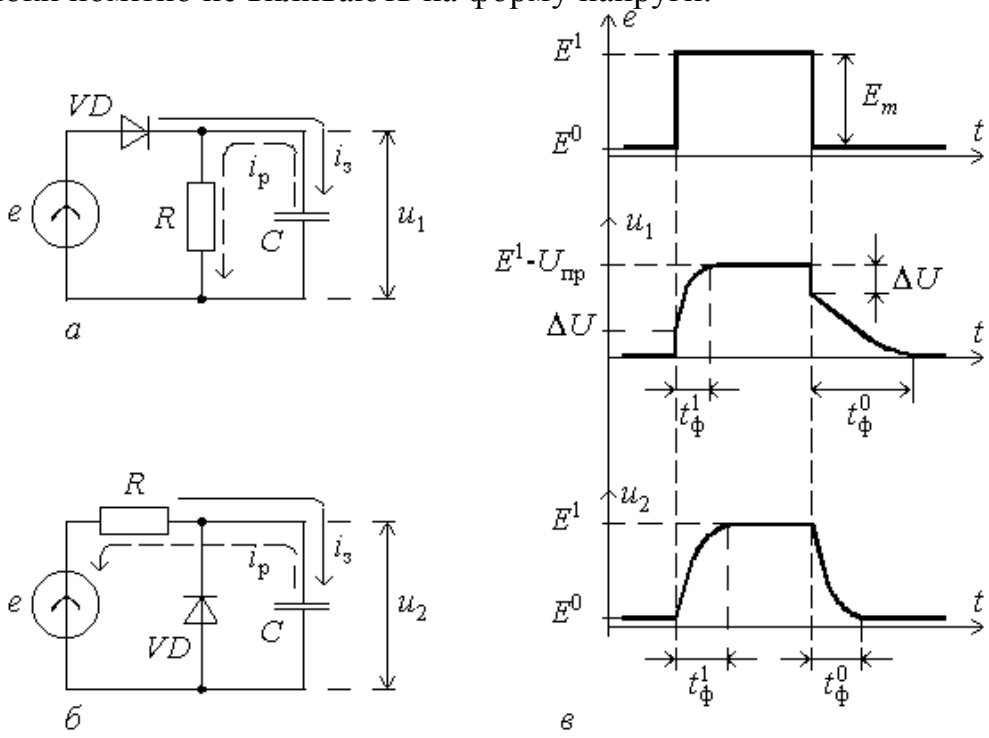


Рис. 3.4

Під час дії на вхід *послідовного ключа* (див. рис. 3.4,*а*) позитивного

перепаду прямокутного імпульу *е* (рис. 3.4,*в*) діод *VD* відчиняється і конденатор *С* заряджається струмом $i_з$ від джерела сигналу *е*, тому напруга на його виході u_1 зростає до стаціонарного значення E^1-$U_{пр}$. Тривалість фронту її усталення $t_ф^1 \approx 3C(R_{пр}+R_д)$ незначна за малого внутрішнього опору $R_д$ джерела сигналу.

З огляду на те, що під час вимикання ключа негативним перепадом напруги діод зачиняється, розряджання конденсатора *С* струмом $i_р$ відбувається через резистор навантаження *R*, тому тривалість спаду напруги $t_ф^0 \approx 3CR$ значно перевищує величину $t_ф^1$, бо в послідовному ключі вибирається $R \gg R_{пр}+R_д$.

У *паралельному ключі* (див. рис. 3.4,*б*) вмикання та вимикання відбуваються аналогічно, проте діод *VD* під час дії позитивного імпульсу весь час лишається зачиненим. Тому заряджання й розряджання конденсатора *С* струмами $i_з$, $i_р$ здійснюються в однаковому колі, через резистор *R* і вихідна напруга u_2 (див. рис. 3.4,*в*) має однакові фронти зростання та спадання: $t_ф^1 \approx t_ф^0 \approx 3C(R+R_д)$.

3.1.4. Діодно-резисторні логічні елементи

Діодні ключі з багатьма входами можуть використовуватися (здебільшого, як фрагменти складніших схем) для виконання логічних функцій. Так, схема на рис. 3.5,*а* здійснює логічну *функцію АБО*: на виході *у* з'являється напруга високого рівня U^1, якщо хоча б на одному зі входів x_1 або x_2 присутній високий рівень E^1: при цьому відповідний діод відчиняється і згідно з (3.4)

$$U^1=\gamma_{пр}(E^1-U_{пр})<E^1. \qquad (3.7)$$

З надходженням до всіх входів сигналів низького рівня $E^0 \le U_{до}$ всі діоди зачиняються, тому на виході напруга наближається до нуля: $U^0 \approx 0$.

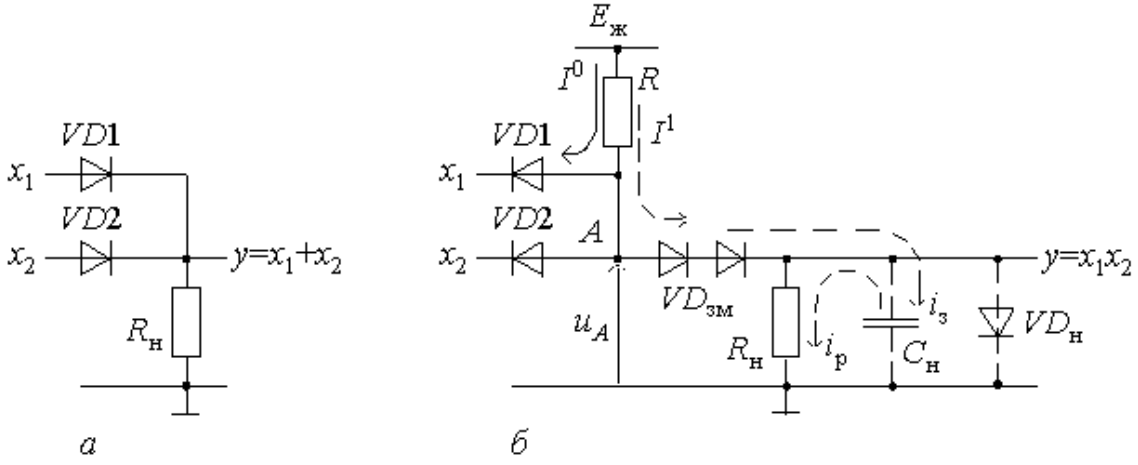


Рис. 3.5

Схема на рис. 3.5,*б* виконує логічну *функцію І*: якщо хоча б один зі входів x_1, x_2 перебуває під низьким потенціалом E^0, відповідний діод відчиняється і своїм малим опором шунтує навантаження, тому напруга в точці *А* буде низькою: $U_A{}^0=E^0+U_{пр}$. Проте ця напруга $U_A{}^0\approx 1$ *В* не забезпечує належний рівень лог. 0: якщо навантаженням є *p-n*-перехід $VD_н$, підімкнений безпосередньо до точки *А*, то цією напругою його не можна вимкнути.

З метою зміщення вихідної напруги в бік зниження використовують додаткові *p-n*-переходи – діоди зміщення $VD_{зм}$; через те, що $U_A{}^0<3U_{до}$, обидва діоди $VD_{зм}$ та навантажувальний діод $VD_н$ виявляються зачиненими й рівень вихідної напруги знижується до $U^0<U_{до}$.

Лише за умови збігу на всіх входах напруг високого рівня E^1 вхідні діоди зачиняються, струм I^1 перемикається в навантаження і на виході *у* встановлюється напруга рівня лог. 1 від джерела живлення $E_ж$, яка за відсутності діода $VD_н$ становить $U^1=(E_ж-2U_{пр})/(1+R/R_н)$.

Слід відзначити, що за послідовного з'єднання діодних логічних елементів затягуються фронти вихідних імпульсів, а в першій схемі згідно з (3.7) зменшується й рівень лог.1. Тому такі елементи потребують відновлення параметрів імпульсів за допомогою транзисторних ключових каскадів.

3.1.5. Розрахунок діодних ключів

Особливості розрахунку розглянемо на прикладі ключа, заданого параметрами: рівні вхідного прямокутного імпульсу E^1=3,5 *В*, E^0=0,2 *В*; струм вмикання навантажувального *p-n*-переходу I^1і0,9 *мА*; допустима тривалість фронту вихідної напруги $t_{ф.доп}\geq$0,1 *мкс* за паразитної ємності навантаження $C_н\leq$20 *пФ*; температура навколишнього середовища 0...+70°*С*.

1) З метою забезпечити чіткість перемикання навантажувального *p-n*-переходу вибираємо схему на рис. 3.5,*б* з одним входом x_1, на виході якої паралельно резисторові $R_н$ увімкнено навантажувальний діод $VD_н$ та паразитну ємність $C_н$.

2) Напругу джерела живлення вибирають, виходячи з умови ввімкнення виконавчого елемента, у даному випадку $E_ж>3U_{пр}$ із запасом падіння напруги на резисторі *R*; вибираємо, наприклад, стандартну напругу $E_ж$=5 *В*.

3) Вибір діодів здійснюють з таких міркувань. Якщо головними є параметри часу перемикання, малі ємність діода $C_д$ і його прямий опір $R_{пр}$, вибирають імпульсні діоди, а за великих значень розсіюваної потужності, прямого струму, зворотної напруги вибирають потужні діоди. Крім того, під час роботи в широкому температурному діапазоні, а також за необхідності чіткої фіксації прямої напруги $U_{пр}$, зокрема, у колах зміщення, перевагу надають

кремнійовим діодам. З точки зору надійності вибраний діод має задовольняти також вимоги граничних експлуатаційних параметрів. З міркувань швидкодії діод має забезпечувати час відновлення зворотного опору $t_в < t_{ф.доп}$ із запасом на час перезаряджання паразитної ємності, при цьому автоматично виконується вимога забезпечення часу усталення прямого опору $t_у < t_{ф.доп}$.

Для зручності вибираємо всі три діоди $VD1$ та $VD_{зм}$ однаковими: імпульсні, кремнійові, наприклад, типу КД503А з основними параметрами: $U_{зв.доп}$=30 *В*, $I_{пр.доп}$=15 *мА*, $t_в \le 10$ *нс*, $C_д \le 5$ *пФ*, діапазон температур -40...+70°*С*, які задовольняють вимоги завдання.

4) Розраховуємо напруги в статичному режимі: при x_1=0 діод $VD1$ відчинений, через нього витікає струм I^0, напруга в точці *А* схеми $U_A{}^0 = E^0 + U_{пр} \approx 1$ *В*, тому діод $VD_н$ зачинений (до нього прикладено напругу $U_{пр} \approx 0{,}3$ *В*). При x_1=1 діод $VD1$ зачиняється, струм I^1 перемикається в навантаження і відчиняє всі три діоди, отже, $U_A{}^1 = 3U_{пр} = 2{,}4$ *В*, а на виході діодом фіксується напруга $U^1 = U_{пр} \approx 0{,}8$ *В*.

5) Для розрахунку опору резистора R визначаємо струм, що втікає до навантаження, який за умови $R_н \gg R_{пр}$ становить $I^1 = (E_ж - U_A{}^1)/R$, звідки $R \le (E_ж - U_A{}^1)/I^1 = 4$ *кОм*; вибираємо R=3,9 *кОм*. Визначаємо також струм через діод $VD1$ при x=0: $I_0 = (E_ж - U_A{}^0)/R \approx 1$ *мА*.

6) Для розрахунку опору навантаження спочатку за ВАХ діода визначаємо його прямий опір $R_{пр} \approx 20$ *Ом*. З міркувань витрачення струму I^1, в основному, на вмикання діода $VD_н$ слід виконати вимогу $R_н \gg R_{пр}$. З іншого боку, розряджання паразитної ємності $C_н$ після зачинення діода $VD_н$ відбувається протягом $t_ф{}^0 \approx 3C_н R_н$, тому $R_н \le t^0_{ф.доп}/3C_н = 1{,}67$ *кОм*; вибираємо $R_н$=1,5 *кОм*.

7) Перевіряємо час затримки вмикання $t_{з.вм} = t_ф{}^1$ діода $VD_н$ внаслідок заряджання ємності $C_н$ після відчинення діодів $VD_{зм}$. При цьому напруга на виході за $R_н \gg R$ прямує екпоненційно до величини $u(\infty) = E_ж - 2U_{пр}$; на початку вважаємо ємність розрядженою: $u(0) \gg 0$, а в кінці інтервалу $t_{з.вм}$ діод $VD_н$ відчиняється і фіксує напругу $u(t_{з.вм}) \approx U_{пр}$; отже, з урахуванням $R \gg 2R_{пр}$, $E_ж - 2U_{пр} \gg U_{пр}$ та (3.2, 3.3)

$$t_{з.вм} = t_з \ln \frac{E_ж - 2U_{пр} - 0}{E_ж - 2U_{пр} - U_{пр}} \approx RC_н \frac{U_{пр}}{E_ж - 2U_{пр}} \approx 80 \text{ нс},$$

що задовольняє вимогу $t_ф{}^1 = t_{з.вм} < t_{ф.доп}$.

На завершення розрахунок уточнюють на ЕОМ, у тому числі на найгірший випадок: перевіряють параметри схеми з урахуванням розкиду параметрів елементів за вибраними допусками, а також параметрів діодів у температурному діапазоні.

§3.2. КЛЮЧІ НА БІПОЛЯРНИХ ТРАНЗИСТОРАХ

3.2.1. Статичні режими

1. Вольт-амперні характеристики транзистора. Транзисторні ключі (ТК) найчастіше застосовуються за схемою зі спільним емітером (рис. 3.6,*а*), в якій транзистор *VT* у статичних режимах перебуває в повністю зачиненому або відчиненому стані. Статичні режими визначаються станами *p-n*-переходів – емітерного й колекторного, які зручно імітувати діодами відповідно $V_{бе}$ та $V_{бк}$ (рис. 3.6,*б*).

ВАХ переходу $V_{бе}$ є *вхідною характеристикою* транзистора (рис. 3.6,*в*), знятою за деякої сталої напруги на колекторі $U_к$, яка аналогічна ВАХ звичайного діода (див. рис. 3.2,*а*,*б*) і яку також можна апроксимувати шматково-лінійно. Параметри прямої гілки вхідної ВАХ транзистора аналогічні діодній ВАХ: $U_{бо}$ – напруга відтину, за якої базовий струм практично можна вважати відсутнім $I_б \approx 0$, та напруга прямого зміщення на емітерному переході $U_{пр}$, яка майже не залежить від робочого струму $I_б$. Для кремнійових транзисторів (далі розглядатимемо схеми на прикладі кремнійових *n-p-n*-транзисторів, бо вони застосовуються в ІС найчастіше), як і діодів, типовими є параметри: $U_{бо} \approx 0{,}6$ *В*, $U_{пр} \approx 0{,}8$ *В*. Аналогічна ВАХ також переходу $V_{бк}$, але для нього звичайно ці параметри дещо (приблизно на 0,2 *В*) нижчі, ніж для переходу $V_{бе}$.

На *вихідних характеристиках* (рис. 3.6,*г*), знятих за сталих струмів бази $I_б$, режим роботи транзистора визначається робочою точкою за перетином лінії навантаження та характеристики, що відповідає певному струмові $I_б$. Як відомо, навантажівна лінія є геометричним місцем усіх робочих точок і будується за рівнянням вихідного кола ключа $E_ж = U_к + I_к R_к$, де $E_ж$ – напруга джерела живлення, $I_к$ – постійний колекторний робочий струм та $U_к = U_{к.е} = U$ – постійна вихідна напруга.

2. Режим відтину. У *вимкненому* стані ТК транзистор зачинений і в його механічному відповідникові перемикач *S* розімкнений (див. рис. 3.1,*а*). З надходженням на вхід *n-p-n*-транзистора (див. рис. 3.6,*а*,*б*) негативної напруги *e* обидва *p-n*-переходи зміщуються в зворотному напрямку, тобто еквівалентні діоди $V_{бе}$ та $V_{бк}$ зачиняються, внаслідок чого транзистор опиняється в *режимі відтину*: його вхідний та вихідний опори теоретично зростають майже до нескінченності, практично ж дорівнюють опорам втрат, якими звичайно нехтують, бо вони значно перевищують опори зовнішніх резисторів $R_б$ та $R_к$. Через транзистор при цьому протікає лише зворотний тепловий струм $I_{ко}$ (тепловий емітерний струм $I_{ео}$, що протікає з емітера в базу практично не впливає на вихідну напругу, тому його звичайно не враховують).

Під час зростання вхідної напруги до позитивної величини $e \approx U_{бо}$

колекторний струм зростає до $h_{21e}I_{ко}$, тому за умови $e>0$ транзистор у точному значенні слова виходить з режиму відтину. Проте з огляду на те, що в кремнійових транзисторів струми $I_{ко}$ та $h_{21e}I_{ко}$ малі, значно менші робочого струму $I_к$, у більшості практичних випадків тепловим струмом нехтують і умовно вважають перебування транзистора в стані відтину до напруги $e \le U_{бо}$ та припускають при цьому $I_б^0 \approx 0$.

На вхідній ВАХ за напруги $e=U^0<U_{бо}$ станові відтину відповідає точка B, коли струм $i_б=I_б^0 \approx 0$. Перетин вихідної ВАХ, що відповідає цьому струмові $I_б^0$

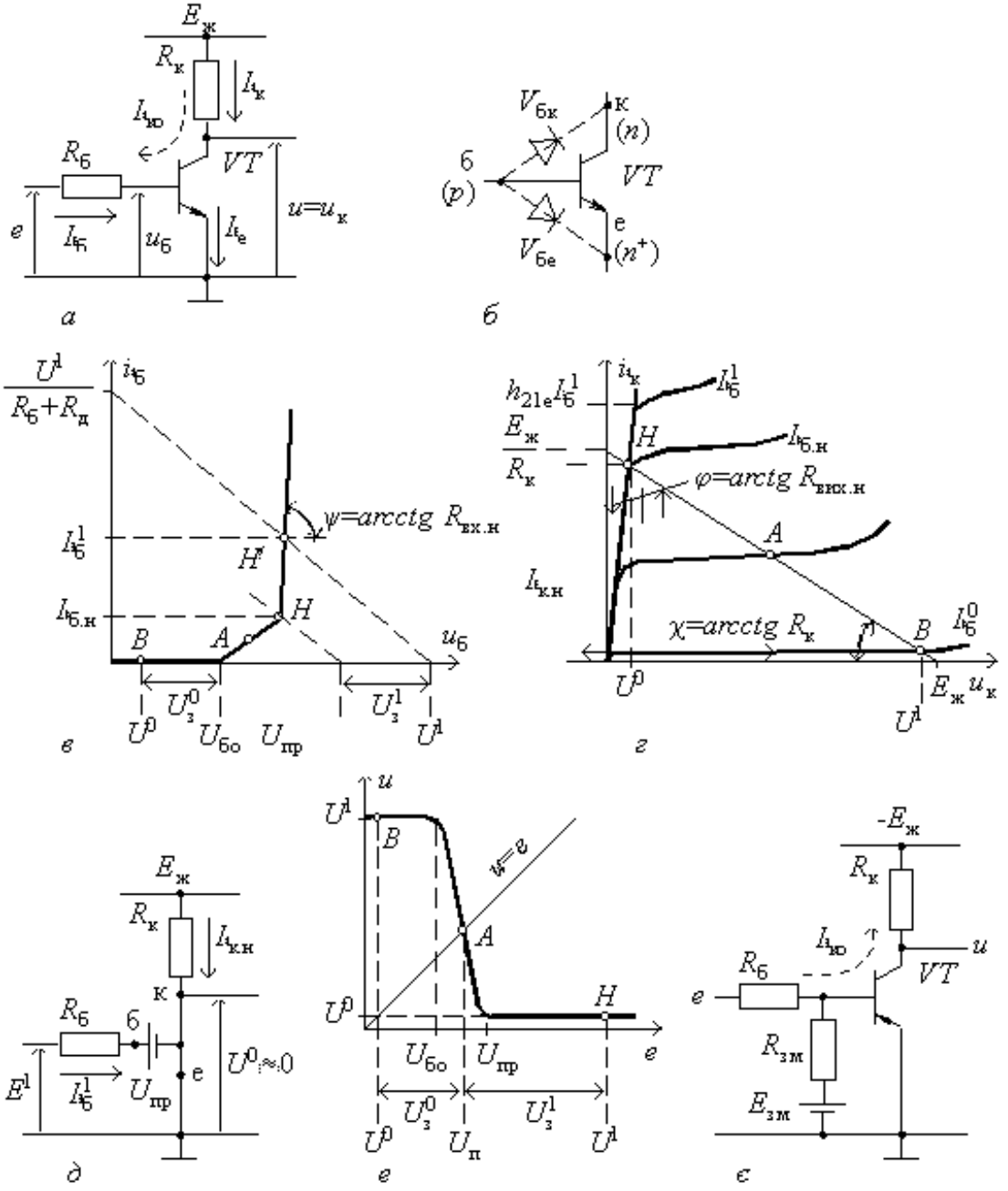


Рис. 3.6

(майже вісь абсцис) з лінією навантаження дає робочу точку *B*, координатами якої є струм $I_к = I_{ко} » 0$ та вихідна напруга $U^1 = E_ж - I_{ко} R_к \approx E_ж$.

Отже, вимкненому станові ТК відповідають такі параметри: $e = U^0 < U_{бо}$, $U_б \approx U^0$, $I_б \approx 0$, $I_к \approx 0$, $U_к = U^1 \approx E_ж$, опори транзистора: $R_{вх} \approx \infty$, $R_{вих} \approx \infty$, вихідний опір схеми $R^1_{вих} \approx R_к$. Цей стан має зберігатися за найгірших умов. Одним з головних дестабілізівних чинників є температура середовища, зі збільшенням якої напруга відтину транзистора $U_{бо}$ зменшується, температурна чутливість її становить для кремнійових транзисторів -1,5...-2 *мВ*/°*С*; у підсумку температурна нестабільність напруги $U_{бо}$ впливає на стабільність схеми з кремнійовими транзисторами більше за зворотний тепловий струм $I_{ко}$. У схемах з германійовими транзисторами головним дестабілізівним чинником є струм $I_{ко}$, який зі збільшенням температури приблизно на кожні 10°*С* подвоюється.

З іншого боку, на вході ТК може збільшуватися напруга рівня лог. 0 внаслідок зростання навантажувального струму через джерело сигналу, нестабільності напруги $E_ж$ джерела живлення, збільшення спаду напруги на спільній, "земляній" шині живлення. Крім перелічених, так званих статичних завад, на стан ТК можуть впливати також імпульсні завади, зумовлені ємнісними або індуктивними паразитними зв'язками між лініями, якими до ТК надходять сигнали, а також перехідними процесами в цих лініях (відбиття від неузгодженого навантаження), зовнішніми електромагнітними полями тощо. У підсумку за найгірших умов для забезпечення вимкненого стану ТК має виконуватися співвідношення:

$$U^0_{макс} + U^0_{з.макс} \le U_{бо.мін},$$

де $U^0_{з.макс}$ – завадостійкість ТК при рівні лог. 0 на його вході (див. рис. 3.6,*в*).

3. Режим насичення. *Увімкнений стан* ТК відповідає повністю відчиненому транзисторові та замкненому перемикачеві *S* механічного відповідника (див. рис. 3.1,*а*).

Зі збільшенням напруги *e* на вході ТК від U^0 до U^1 робоча точка на вхідних характеристиках рухається за траєкторією *B*-*A*-*H*-*H*′. (Точніше кажучи, у своєму русі робоча точка переміщується з однієї характеристики на іншу, тобто утворює вхідну динамічну характеристику, яка є майже пристайною зі статичною характеристикою, знятою за малої колекторної напруги $U_к \approx 0$; тому замість користуватися всім жмутом характеристик, досить обмежитися однією, що відповідає мінімальному значенню $U_к$). З перевищенням базовою напругою величини $U_{бо}$ до бази починає втікати струм, базовий перехід зміщується в прямому напрямку (еквівалентний діод $V_{бе}$ відчиняється) і на вході транзистора фіксується напруга прямого зміщення $U_{пр}$, яка майже не змінюється зі зростанням струму до $I_б^1$, тобто весь подальший приріст вхідної напруги $U^1 - U_{пр}$

спадає на резисторі $R_б$ та внутрішньому опорі джерела сигналу $R_д$. Через це немає сенсу будувати вхідну навантажівну лінію (показано пунктиром).

На вихідних характеристиках робоча точка рухається при цьому за траєкторією *B-A-H*. Коли вона опиняється в межах між *B* та *H*, наприклад, у положенні *A*, транзистор стає керованим елементом, а ТК – підсилювачем: зі зміною, наприклад, збільшенням у деяких межах вхідної напруги e зростають струми $i_б$, $i_к$ та зменшується напруга $u_к=E_ж-i_кR_к$, тобто транзистор переходить до *активного режиму*. При цьому за умови припущення $I_{ко}=0$ виконуються відомі співвідношення:

$$I_е=I_к+I_б,\ I_к=h_{21е}I_б»I_б,\ I_к=h_{21б}I_е\approx I_е.$$

Проте активний режим транзистора, притаманний роботі підсилювача, у статичних режимах ТК майже не застосовується, у ньому транзистор перебуває лише під час перемикання ТК від одного стану до іншого.

У ключових схемах увімкнений транзистор перебуває звичайно в *насиченому режимі*, до якого транзистор потрапляє, коли в міру збільшення базового струму до величини $I_{б.н}$, колекторного – до $I_{к.н}$ та зменшення колекторної напруги до $U_{к.н}$ робоча точка опиняється в положенні *H* – на перетині навантажівної прямої з лінією насичення, від якої відгалужуються характеристики. Під час подальшого зростання базового струму до $I_б^1$ (точка $H^/$ на рис. 3.6,*в*) на вихідних характеристиках робоча точка залишається в тому самому положенні *H*, тобто колекторні струм та напруга вже припиняють змінюватися.

Отже, у режимі насичення, як і відтину, транзистор знов стає некерованим елементом, бо зміна в певних межах вхідної напруги e та базового струму $I_б^1>I_{б.н}$ не відчуваються на виході ТК: величини $I_{к.н}$ та $U^0=U_{к.н}$ залишаються незмінними. При цьому вихідний опір транзистора $R_{вих.н}$ зменшується до кількох омів, його величину можна оцінити за кутом нахилу φ лінії насичення; у цьому розумінні ТК на біполярному транзисторі наближається до ідеального перемикача в замкненому стані. Внаслідок незначної величини $R_{вих.н}$ та малого кута нахилу φ напруга насичення також залишається малою при різних кутах нахилу лінії навантаження χ; для кремнійових транзисторів типовою є величина $U^0=U_{к.н}=0{,}2...0{,}4$ *В*. Природно, колекторний струм при цьому най-більший

$$I_{к.н}=\frac{E_ж-U_{к.н}}{R_к}\approx\frac{E_ж}{R_к} \qquad (3.8)$$

і обмежується за законом Ома практично тільки зовнішнім опором $R_к$.

Вхідна характеристика в межах насичення наближається до вертикальної лінії, за кутом її нахилу у можна оцінити вхідний опір транзистора, який зменшується приблизно до об'ємного опору бази в насиченому стані

$R_{вх.н}=r_б+h_{21e}r_e \approx r_{б.н}$ і становить звичайно від десятків до сотен омів. При цьому напруга прямого зміщення на *p-n*-переході, як і на кремнійовому діоді, становить звичайно $U_{б.н}=U_{пр}\approx 0{,}8\ B$. Тому базовий струм можна визначити, не користуючись вхідною характеристикою:

$$I_б^1 = \frac{E^1 - U_{пр}}{R_б + R_Д}, \tag{3.9}$$

де $R_д$ – внутрішній опір джерела вхідного сигналу. Або при $R_б \gg R_д$

$$I_б^1 \approx \frac{E^1 - U_{пр}}{R_б}. \tag{3.10}$$

З огляду на те, що $R_{вх.н} \ll R_б$ та $R_{вих.н} \ll R_к$ часто внутрішні опори можна знехтувати й змоделювати насичений транзистор стягненим до точки (рис.3.6,*д*) з елементом $U_{пр}$, що репрезентує базовий перехід.

У режимі насичення базова напруга стає більшою за колекторну на величину, що перевищує напругу відтину колекторного переходу, тому цей перехід також зміщується в прямому напрямку й на ньому фіксується напруга $U_{бк.н}\approx U_{пр}-U_{к.н}\approx 0{,}6\ B$. Отже, обидва переходи виявляються зміщеними в прямому напрямку, що й може бути якісним критерієм режиму насичення транзистора.

Іншим критерієм є перевищення базовим робочим струмом величини струму, потрібного для насичення: $I_б^1 \geq I_{б.н}$. Аби схарактеризувати ступінь насичення транзистора кількісно, використовують *коефіцієнт насичення*

$$S=I_б^1/I_{б.н}\,. \tag{3.11}$$

Підставляючи до (3.11) значення

$$I_{б.н} = \frac{I_{к.н}}{h_{21e}} = \frac{E_ж - U_{к.н}}{h_{21e}R_к} \tag{3.12}$$

та $I_б^1$ з (3.9), здобудемо величину базового опору, яка забезпечує за інших відомих величин перебування транзистора в режимі насичення із заданим коефіцієнтом *S*:

$$R_б = R_к\left(\frac{h_{21e}}{S}\frac{E^1 - U_{пр}}{E_ж - U_{к.н}} - \frac{R_Д}{R_к}\right). \tag{3.13}$$

Для побудови ІС, а часто також і дискретних схем, ключі з'єднують ланцюжком, коли вихід одного є входом іншого, тобто в цьому випадку в (3.13) $E^1=E_ж$, $R_д=R_к$, крім того, звичайно $E_ж \gg U_{к.н}$, $h_{21e}/S \gg 1$. Тоді (3.13) спрощується до

$$R_б = R_к\frac{h_{21e}}{S}\left(1 - \frac{U_{пр}}{E_ж}\right) \approx R_к\frac{h_{21e}}{S}, \tag{3.14}$$

де останнє наближення зроблено, коли $E_ж \gg U_{пр}$. З урахуванням розкиду параметрів транзистора до (3.13, 3.14) необхідно підставляти найменше значення h_{21e}, тоді коефіцієнт насичення можна вибрати з невеликим запасом, у межах $S \approx 1{,}2...2$.

Отже, увімкнений стан ТК характеризується параметрами: $e=E^1>U_{пр}$, $U_б=U_{пр}$, $I_б=(E^1-U_{пр})/R_б=SI_{б.н}$, $I_{б.н}=I_{к.н}/h_{21e}$, $S \geq 1$, $I_{к.н} \approx E_ж/R_к$, $U^0=U_{к.н} \approx 0$, $R_{вх.н} \approx r_{б.н} \ll R_б$, $R_{вих.н} \ll R_к$.

Завадостійкість $U_з^1$ при рівні лог. 1 на вході ТК можна знайти за вхідною характеристикою (див. рис. 3.6,*в*). Проте через малий розхил останньої $\Delta U=U_{пр}-U_{бо}=0{,}1...0{,}2$ *В* порогову напругу $U_п$ перемикання ТК часто визначають за перетином лінії одиничного підсилення $u=e$ з *передатною характеристикою* (рис. 3.6,*є*) і відносно $U_п$ відлічують завадостійкість $U_з^0$ та $U_з^1$.

4. Особливості ТК на германійових транзисторах. Усе викладене для ТК на кремнійових транзисторах придатне й для ТК на германійових транзисторах. З урахуванням значно більшого впливу теплового струму $I_{ко}$ та малої величини порогової напруги $U_{бо} \approx 0{,}2...0{,}3$ *В* для надійного відтину транзистора в широкому температурному діапазоні застосовують зовнішнє зміщення від джерела $E_{зм}$ полярності зачинення (рис. 3.6,*є*). Припускаючи $U_{бо} \approx 0$, за методом суперпозиції визначаємо

$$u_б = -I_{ко}\frac{R_б R_{зм}}{R_б + R_{зм}} + E_{зм}\frac{R_б}{R_б + R_{зм}} \geq 0,$$

звідки дістаємо умову відтину транзистора

$$R_{зм} \leq E_{зм}/I_{ко}. \qquad (3.15)$$

Звичайно вибирають $E_{зм} \geq 1...2$ *В*, а $I_{ко}$, природно, визначають за максимальної температури середовища.

3.2.2. Перехідні процеси

1. Перехідна характеристика. Залежність між струмами й напругами в транзисторі апроксимується нелінійними рівняннями експоненційних моделей напівпровідникових переходів (Еберса-Молла), на розв'язанні яких спільно з використанням графо-матричних методів аналізу, зокрема, методу змінних стану ґрунтуються прикладні програми розрахунку статичних та динамічних характеристик нелінійних кіл на ЕОМ. Проте для з'сування спрощених якісних співвідношень між характеристиками схеми і її первинними параметрами вдаються до застосування лінеаризованих методів, припускаючи на кожному етапі перехідних процесів параметри транзистора сталими, що дорівнюють усередненому їх значенню в певному діапазоні струмів та напруг. У ключовому режимі ними є параметри великого сигналу, якими надалі й користуватимемося

без додаткових застережень.

Аналіз динамічних характеристик ТК, як і складніших схем, можна спростити за допомогою узагальнених матричних методів вузлових напруг або колових струмів [8], які, на відміну від методу заряду, оперують з паспортними, фізичними параметрами транзистора.

Для аналізу за узагальненим методом вузлових напруг зручно скористатися гібридною схемою заступлення транзистора (рис. 3.7,*а*). Така схема, спрощена для високих частот, тобто швидких перехідних процесів, характеризується параметрами:

$$g_б=1/r_б,$$

де $r_б$ – об'ємний опір бази;

$$y_{б'e} = g_{б'e} + pC_e \tag{3.16}$$

– вхідний адмітанс (повна провідність) відносно внутрішнього вузла б';
$C_е$,$C_к$ – ємності відповідно емітерного та колекторного переходів;

$$g = h_{21б} / r_e = h_{21e} /(h_{21e} +1)r_e = h_{21e}g_{б'e} \tag{3.17}$$

– керувальна провідність або крутість, яка враховує підсильність транзистора (тут $r_е=\varphi_т/I_е\approx 26/I_е$ *Ом*, $\varphi_т \approx 26$ *мВ* – тепловий потенціал за температури Т=300°*К*=27°*С*; $I_е$ – емітерний струм, *мА*).

Враховуючи, що для схеми зі спільним емітером вхідний резистанс (активний опір на низьких частотах)

$$R_{вх\ е}=r_б+(h_{21e}+1)r_e=r_б+1/g_{б`e},$$

маємо в (3.16), (3.17)

$$g_{б'e} = 1/(h_{21e} +1)r_e. \tag{3.18}$$

З (3.16) можна визначити також

$$y_{б'e} + pC_к = g_{б'e} + p(C_e + C_к) = g_{б'e}[1 + r_{б'e}p(C_e + C_к)] = g_{б'e}(1 + pt_b), \tag{3.19}$$

звідки з урахуванням (3.18)

$$t_b = 1/2pf_b = r_{б'e}(C_e + C_к) = (h_{21e} +1)r_e(C_e + C_к) = (h_{21e} +1)t_a \tag{3.20}$$

$$\tau_\alpha=r_e(C_e+C_к)=1/2\pi f_\alpha=1/2\pi m f_т=1/60\pi f_г^2 r_б C_к, \tag{3.21}$$

де $\tau_\beta=\tau_{h21e}$, $\tau_\alpha=\tau_{h21б}$ – сталі часу коефіцієнтів передачі відповідно $h_{21e}=\beta$ та $h_{21б}=\alpha$, що дорівнюють середньому часові життя неосновних носіїв заряду в базі та часові їх прольоту через базу відповідно; $f_\beta=f_{h21e}$, $f_\alpha=f_{h21б}$ – граничні частоти коефіцієнтів передачі h_{21e} та $h_{21б}$, при яких вони зменшуються в $\sqrt{2}$ рази

відносно низьких частот; $f_т=|h_{21e}|f$ – межова частота, на якій модуль коефіцієнта підсилення $|h_{21e}|=1$; $f_г$ – максимальна частота генерації, на якій коефіцієнт підсилення за потужністю дорівнює одиниці; коефіцієнт m=1,2 для бездрейфових або m=1,6 для дрейфових транзисторів; $r_б C_к$ – стала зворотного зв'язку на високій частоті.

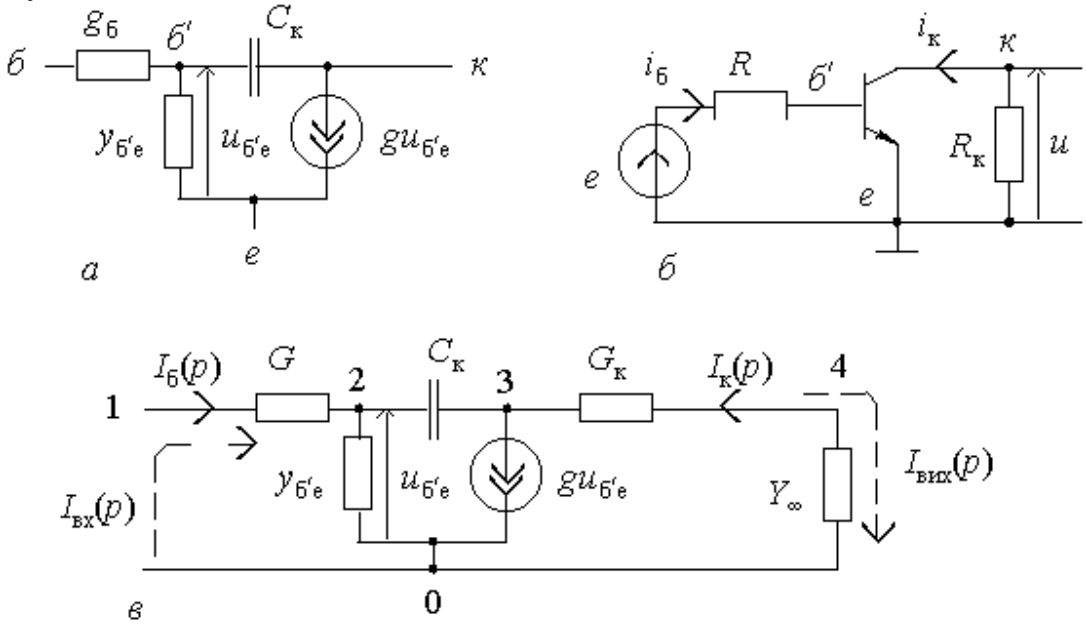


Рис. 3.7

Еквівалентну схему ТК (рис. 3.7,*б*) за змінним струмом для спрощення зобразімо відносно внутрішнього вузла транзистора *б′*, в якій до складу резистора $R=R_б+R_д+r_б$ крім зовнішнього опору $R_б$ включено також опори джерела сигналу $R_д$ та бази транзистора $r_б$, або $R \approx R_б$, якщо $R_б » R_д+r_б$. З урахуванням гібридної схеми заступлення транзистора (див. рис. 3.7, *а*) еквівалентна схема ТК набуває вигляду рис. 3.7,*в*, де позначено $G=1/R$, $G_к=1/R_к$ та за допомогою додаткового вузла 4 послідовно з опором $R_к$ штучно введено провідність $Y_∞$ (яка закорочує вузол 4 з базисним полюсом 0), аби скористатися спрощеною формулою для визначення коефіцієнта передачі за струмом [8]

$$K_i(p)=\frac{I_{вих}(p)}{I_{вх}(p)}=\frac{\Delta_{ab}}{\Delta_{bb}}.$$

З урахуванням того, що стандартні напрямки струмів $I_{вх}$, $I_{вих}$ схеми як чотириполюсника (пунктир) пов'язані зі струмами транзистора: $I_{вх}(p)=I_б(p)$, $I_{вих}(p)=-I_к(p)$, та номерів вхідного a=1 і вихідного b=4 вузлів, вираз для коефіцієнта передачі набуває вигляду:

$$B(p)=\frac{I_к(p)}{I_б(p)}=-\frac{\Delta_{14}}{\Delta_{44}}. \qquad (3.22)$$

Керувальна провідність g (див. рис. 3.7, *а*) зв'язує залежний генератор струму $gu_{б'e}$ (між вузлами k та e з напрямком від k до e), що відображає підсильність транзистора, з напругою $u_{б'e}$ (між вузлами $б'$ та e з напрямком від e до $б'$), що керує генератором. Тому її особлива (повна) матриця взаємозв'язку має вигляд (у клітинки, де позначені напрямки сигналів збігаються, провідність вписують зі знаком мінус, а де протилежні – зі знаком плюс):

$$[g]^{(i)} = \begin{array}{c} \\ к \\ e \end{array} \overset{\begin{array}{cc} б' & \leftarrow e \end{array}}{\begin{bmatrix} g & -g \\ -g & g \end{bmatrix}}. \qquad (3.23)$$

За еквівалентною схемою (див. рис. 3.7,*в*) з урахуванням (3.23) складаємо канонічну (вкорочену) матрицю провідності ТК

$$[Y] = \begin{array}{c} \\ 1 \\ 2 \\ 3 \\ 4 \end{array} \overset{\begin{array}{cccc} 1 & 2 & 3 & 4 \end{array}}{\begin{bmatrix} G & -G & & \\ -G & G+y_{б'e}+pC_к & -pC_к & \\ & g-pC_к & pC_к+G_к & -G_к \\ & & -G_к & G_к+Y_\infty \end{bmatrix}},$$

звідки, враховуючи (3.17),

$$\Delta_{14}=(-1)^5 \begin{vmatrix} -G & G+y_{б'e}+pC_к & -pC_к \\ 0 & g-pC_к & pC_к+G_к \\ 0 & 0 & -G_к \end{vmatrix} =$$

$$=-GG_кg(1-pC_кr_e/h_{21б}) \approx -GG_кg=-GG_кh_{21e}g_{б'e}, \qquad (3.24)$$

де знехтовано незначною сталою $C_кr_e \ll C_кR_к$. Аналогічно визначаємо алгебричне доповнення Δ_{44} та спрощуємо його додаванням першого й третього стовпців до другого

$$\Delta_{44}= \begin{vmatrix} G & -G & 0 \\ -G & G+y_{б'e}+pC_к & -pC_к \\ 0 & g-pC_к & pC_к+G_к \end{vmatrix} = \begin{vmatrix} G & 0 & 0 \\ -G & y_{б'e} & -pC_к \\ 0 & g+G_к & pC_к+G_к \end{vmatrix} =$$

$$=G\left[G_к(y_{б'e}+pC_к)+pC_к(g+y_{б'e})\right],$$

або з урахуванням (3.19), (3.17), (3.16)

$$\Delta_{44}=GG_кg_{б'e}\left\{1+p\left[\tau_\beta+(h_{21e}+1)C_кR_к\right]+pC_кR_кpC_er_{б'e}\right\}.$$

Нехтуючи останній складник у фігурних дужках через незначний його

вплив на перехідні процеси, у першому наближенні

$$\Delta_{44} \approx G G_к g_{б'e} (1 + p\tau_{be}), \tag{3.25}$$

де

$$\tau_{\beta\varepsilon} = \tau_\beta + (h_{21e} + 1) C_к R_к \approx h_{21e} (\tau_\alpha + C_к R_к) \tag{3.26}$$

– еквівалентна стала коефіцієнта передачі h_{21e} з урахуванням впливу на перехідні процеси перезаряджання ємності колекторного переходу через зовнішній резистор $R_к$.

Підставляючи (3.24), (3.25) до (3.22), дістаємо передатну характеристику – операторний коефіцієнт передачі струму бази

$$B(p) = \frac{I_к(p)}{I_б(p)} = \frac{h_{21e}}{1 + p t_{be}}. \tag{3.27}$$

З виразу $I_к(p) = B(p) I_б(p)$ за одиничного стрибка струму бази $I_б(p) = 1/p$ маємо $H(p) = B(p)/p$, тобто зображення

$$H(p) = \frac{h_{21e}}{p(1 + p t_{be})},$$

оригінал якого є *перехідна характеристика* транзистора в активному режимі

$$h(t) = h_{21e} \left(1 - e^{-t/t_{be}}\right). \tag{3.28}$$

За допомогою перехідної характеристики можна знайти приріст колекторного струму за відомого стрибкоподібного приросту базового струму на величину $\Delta i_б$:

$$\Delta i_к(t) = \Delta i_б h(t) = \Delta i_б h_{21e} \left(1 - e^{-t/t_{be}}\right). \tag{3.29}$$

Отже, за миттєвої зміни базового струму внаслідок інерційності транзистора колекторний струм змінюється експоненційно зі сталою, яка визначається, головним чином, граничною частотою та ємністю колекторного переходу.

2. Вмикання ТК. Процес вмикання ТК під час дії на його вхід e (див. рис. 3.6,*а*) ідеального прямокутного імпульсу для наочності розподілемо на три етапи (рис. 3.8): затримка вмикання $t_з^0$, фронт вмикання $t_ф^0$ та час нагромадження заряду $t_н$.

У початковому стані ($t < t_1$) до входу транзистора прикладено напругу, меншу за порогову $e = E^0 < U_п \approx U_{бо} \approx U_{пр}$, тому він перебуває практично в стані відтину і еквівалентну схему ТК можна спростити до *RC*-кола (рис. 3.9,*а*). Вхідна ємність $C_{вх} \approx C_м + C_к + C_е$ складається приблизно з ємностей монтажу $C_м$ та переходів транзистора $C_к$ і $C_е$ (точніше цю ємність обчислювати немає сенсу через розкид величини $C_м$).

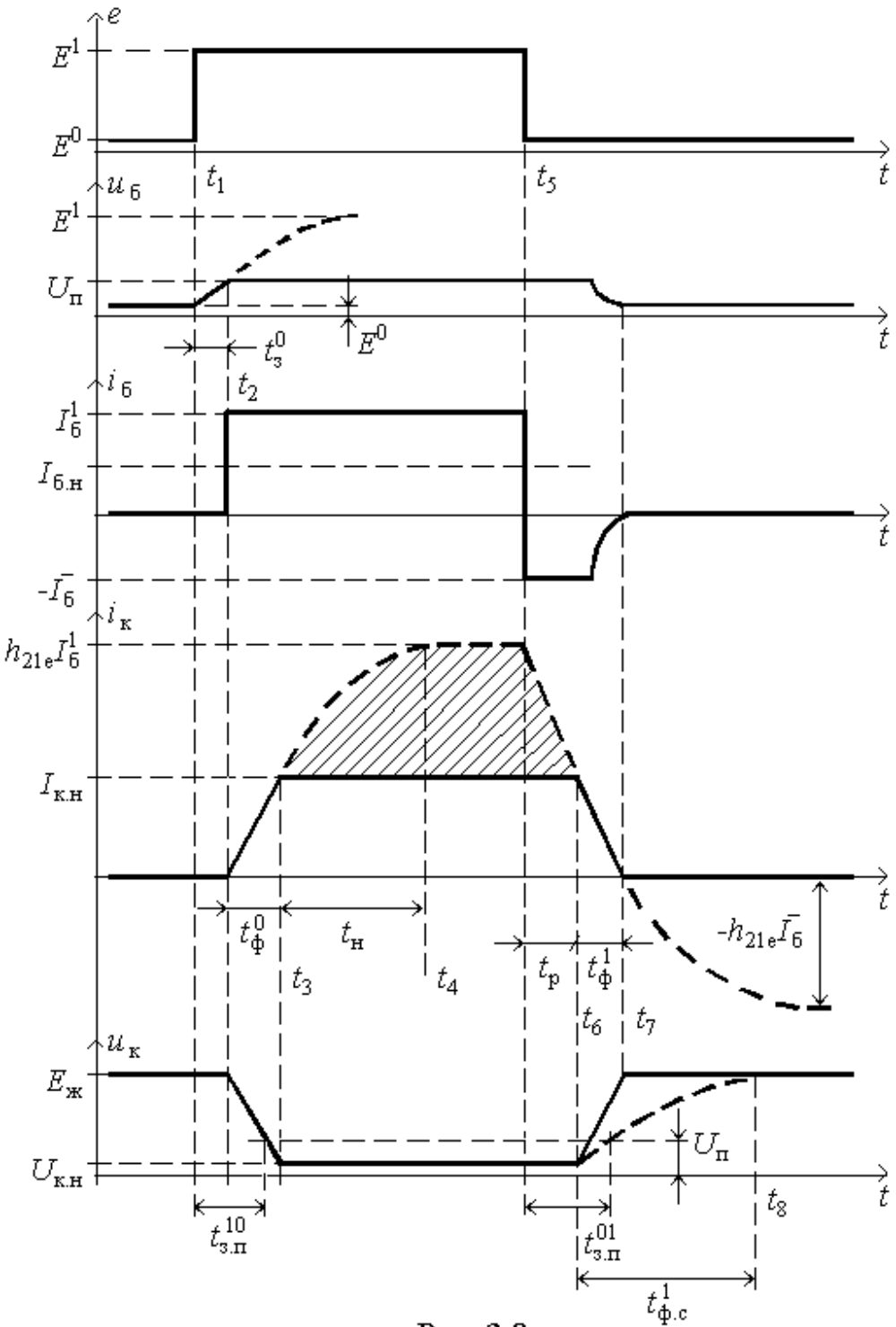


Рис. 3.8

Стрибкоподібне зростання вхідної напруги до E^1 (момент часу t_1) спричиняє заряджання ємності $C_{вх}$ струмом i_c. У міру її заряджання напруга на базі $u_б(t)$ експоненційно зростає від E^0 і прямує до E^1, проте транзистор лишається зачиненим, доки (момент t_2) базова напруга не сягає порогової

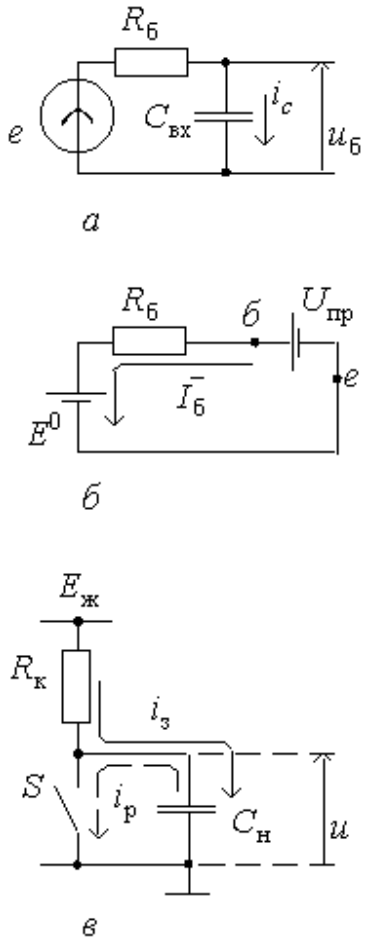


Рис. 3.9

величини $U_п$. *Час затримки вмикання* $t_з^0$, зумовлений заряджанням вхідної паразитної ємності, здобудемо за методом експоненти (3.2) з урахуванням, що $u_б(t_п)=E^0$, $u_б(t_к)=U_п$ та $u_б(\infty)=E^1$:

$$t_з^0 = t_{вх} \ln \frac{E^1 - E^0}{E^1 - U_п},$$

де $t_{вх}=R_б C_{вх}$. Звичайно виконується режим великого сигналу, коли $E^1 \gg U_п$; при цьому згідно з (3.3) маємо

$$t_з^0 \approx R_б C_{вх} \frac{U_п - E^0}{E^1 - U_п}, \qquad (3.30)$$

звідки зрозуміло, що час затримки вмикання зменшується, якщо знижувати паразитну ємність $C_{вх}$, збільшувати стрибок напруги відчинення та запроваджувати безпосередній зв'язок між каскадами. В останньому випадку струм від джерела сигналу e перемикається то на заряджання ємності $C_{вх}$, то до бази транзистора; протягом $t_з^0$ він залишається майже постійним, у середньому на рівні

$$I_{б.с}^1 \approx \frac{E^1 - E^0}{R_Д + r_{б.н}}, \qquad (3.31)$$

тому

$$I_{б.с}^1 = C_{вх} \frac{du_c}{dt} \approx C_{вх} \frac{\Delta u_c}{\Delta t} = C_{вх} \frac{U_{пр} - E^0}{t_з^0},$$

звідки

$$t_з^0 = C_{вх} \frac{U_{пр} - E^0}{I_{б.с}^1}. \qquad (3.32)$$

Фронт вмикання починається (момент t_2), коли емітерний перехід відчиняється і вхідний опір транзистора стає малим. Через це вхідний струм перемикається до бази, сягаючи практично стрибком значення $I_б^1$, напруга на базі фіксується на рівні $U_{пр} \approx U_п$, внаслідок чого величина $I_б^1$ визначається за (3.10).

Кількість електронів, що виводяться до вхідного кола через базу за одиницю часу, при цьому пропорційна величині $I_б^1$, а тих, що інжектуються з емітера до бази, пропорційна $(h_{21e}+1)I_б^1$. Решта електронів, пропорційна $h_{21e}I_б^1$, поширюється внаслідок дрейфу та дифузії через базу до колектора й поступово біля нього зростає концентрація носіїв заряду. За позитивного потенціалу

колектора відбувається екстракція (відбирання) електронів у зовнішнє коло, тому з'являється колекторний струм, який зростає плавно, у міру збільшення концентрації носіїв заряду біля колектора. При цьому транзистор опиняється в активному режимі, робоча точка рухається лінією навантаження (див. рис. 3.6,*г*) за траєкторією *B-A-H* і коли (момент t_3) вона потрапляє в положення *H*, транзистор переходить до режиму насичення, колекторні струм і напруга фіксуються на рівні $I_{к.н}$ та $U_{к.н}$.

Згідно з (3.29) зростання колекторного струму відбувається експоненційно:

$$i_к(t) = h_{21e} I_б^1 \left(1 - e^{-t/t_{be}}\right), \tag{3.33}$$

тому тривалість фронту вмикання дістанемо за (3.2), припускаючи $i_к(t_п)=0$, $i_к(t_к)=I_{к.н}=h_{21e}I_{б.н}$, $i_к(\infty)=h_{21e}I_б^1$:

$$t_ф^0 = t_{be} \ln \frac{h_{21e} I_б^1}{h_{21e} I_б^1 - I_{к.н}} = t_{be} \ln \frac{1}{1 - 1/S}.$$

Аби зменшити фронт вмикання, необхідно зменшувати, як і для інших етапів перехідного процесу, сталу часу $\tau_{\beta\varepsilon}=\tau_\beta+(h_{21e}+1)C_к R_к$, тобто вибирати високочастотні транзистори з малим значенням $\tau_\beta=1/2\pi f_\beta$ і з малою ємністю колекторного переходу $C_к$, а також збільшувати струм відчинення $I_б^1$. У режимі великого сигналу, який забезпечується в багатьох випадках під час вмикання, виконується умова $I_б^1 \gg I_{б.н}$, тобто $S \gg 1$, тому згідно з (3.3)

$$t_ф^0 \approx t_{be} / S. \tag{3.34}$$

Якщо досліджуваний ТК працює на схожий ключовий елемент, то останній почне перемикатися після моменту t_2 по досягненні на виході $u_к$ порогової напруги $U_п$ через час

$$\Delta t_1 = t_{be} \ln \frac{h_{21e} I_б^1}{h_{21e} I_б^1 - \left(I_{к.н} - \frac{U_п}{R_к}\right)} = t_{be} \ln \frac{1}{1 - \frac{1}{S}\left(1 - \frac{U_п}{E^1 - U_п}\right)},$$

який за умови $E^1 \gg U_п$ наближається до $t_ф^0$. Тому з урахуванням інтервалу $t_з^0$ час затримки поширення під час вмикання становить

$$t_{з.п}^{10} = t_з^0 + \Delta t_1 \approx t_з^0 + t_{be} / S. \tag{3.35}$$

По входженні транзистора до режиму насичення (момент t_3), відбувається процес *нагромадження надлишкового заряду* в його шарах, в основному, в базі, бо за одиницю часу з емітера інжектується й поширюється в базі кількість електронів, пропоційна $h_{21e}I_б^1$, більша, ніж рекомбінується колекторним струмом: $I_{к.н} < h_{21e}I_б^1$. Решта електронів, пропорційна за одиницю часу величині

$h_{21e}(I_б^1-I_{б.н})$, утворює надлишковий заряд, який на часовій діаграмі можна умовно відобразити позірним колекторним струмом (на рис. 3.8 заштриховано). У момент t_4 цей процес закінчується усталенням у транзисторі рівноважного заряду. На інтервалі (t_3, t_4) транзистор перебуває в режимі насичення, тому всі параметри його змінюються відносно активного режиму, зокрема, стала часу $\tau_{\beta\varepsilon}$ у виразі (3.33), який тепер відображає позірний струм, приймає нове, усереднене значення $\tau_н$, яке для бездрейфових транзисторів становить $\tau_н=(0,5...1)\tau_\beta$, а для дрейфових $\tau_н\geq(1,5...2)\tau_\beta$, але час нагромадження має невелике практичне значення з точки зору споживача вихідного сигналу, тому можна вважати орієнтовно $\tau_н\approx\tau_\beta$ та час нагромадження $t_н\approx(2...3)\tau_н$.

3. Вимикання ТК. Під дією негативного перепаду вхідної напруги (момент t_5) процес вимикання відбувається в три етапи: час розсмоктування надлишкового заряду або затримка вимикання $t_р=t_з^1$, фронт вимикання колекторного струму $t_ф^1$ та фронт усталення напруги на колекторі $t^1_{ф.с}$.

Після стрибкоподібного зменшення напруги *е* майже до нуля заряд у шарах транзистора (як у конденсаторі) лишається на попередньому рівні, обидва переходи залишаються зміщеними в прямому напрямку, а транзистор – насиченим. Через те, що напруга на базі $U_{пр}$ перевищує вхідну $E^0 » 0$, базовий струм стрибком змінює свій напрямок (рис. 3.9,*б*) до величини

$$I_б^- \approx \frac{U_{пр}-E^0}{R_б}, \qquad (3.36)$$

а за безпосереднього зв'язку між каскадами, коли база досліджуваного ТК з'єднана з колектором насиченого ключа – джерела сигналу, цей струм обмежується практично лише базовим опором транзистора

$$I_б^- \approx \frac{U_{пр}-U_{к.н}}{r_{бн}}$$

і може значно перевищувати струм $I_{б.н}$. Зворотним струмом бази $I_б^-$ і колекторним $I_{к.н}$, який певний час підтримується на попередньому рівні, відбувається *розсмоктування надлишкового заряду*, нагромадженого в шарах транзистора, що відображається на часовій діаграмі експоненційним спаданням позірного колекторного струму на інтервалі (t_5,t_6) зі сталою $t_н$, бо транзистор ще перебуває в режимі насичення. Моделюючи транзистор чотириполюсником із коефіцієнтом передачі $B(p)$, доходимо висновку, що згідно з (3.29) позірний колекторний струм має прямувати до величини $i_к(\infty)=-h_{21e}I_б^-$. Отже, припускаючи $i_к(t_п)=h_{21e}I_б^1$, $i_к(t_к)=I_{к.н}$, дістаємо

$$t_p = t_н \ln \frac{-h_{21e} I_б^- - h_{21e} I_б^1}{-h_{21e} I_б^- - h_{21e} I_{бн}^1} = t_н \ln\left(1 + \frac{S-1}{S_з + 1}\right) \tag{3.37}$$

де $S_з = I_б^- / I_{б.н}$ – коефіцієнт зачинення. У режимі великого сигналу, якщо $S_з \gg S \gg 1$, здобуваємо орієнтовне, якісне співвідношення

$$t_p \approx t_н 1 + \frac{S-1}{S_з + 1}, \tag{3.38}$$

з якого видно, що для зменшення часу розсмоктування необхідно знижувати струм відчинення $I_б^1$, тобто коефіцієнт насичення S, бо при цьому нагромаджується менший надлишковий заряд, та збільшувати струм зачинення $I_б^-$, тобто коефіцієнт $S_з$, бо при цьому швидше розсмоктується надлишковий заряд.

Починаючи з моменту t_6, транзистор знов переходить до активного режиму, бо заряд у базі вже не спроможний підтримувати колекторний струм на рівні $I_{к.н}$, тому струм зменшується, а напруга на колекторі збільшується. Через це колекторний перехід зміщується в зворотному напрямку, тобто еквівалентний діод $V_{б.к}$ зачиняється, отже, транзистор опиняється в активному режимі. Коли (момент t_7) заряд у транзисторі зменшується до нуля, у зворотному напрямку зміщується також емітерний перехід, тобто діод $V_{б.е}$ також зачиняється, транзистор переходить до режиму відтину, струми $I_б^-$ та $i_к$ припиняються, завершується формування *фронту вимикання* колекторного струму транзистора $t_ф^1$. Його тривалість визначаємо аналогічно попередньому етапу $t_р$, враховуючи, що стала часу на цьому інтервалі має усереднене значення $\tau_{βε}$:

$$t_ф^1 = t_{be} \ln \frac{-h_{21e} I_б^- - h_{21e} I_{б.н}^1}{-h_{21e} I_б^- - 0} = t_{be} \ln\left(1 + \frac{1}{S_з}\right) \tag{3.39}$$

Для зменшення фронту вимикання необхідно зачиняти ТК великим сигналом, внаслідок чого транзистор опиняється в режимі динамічного відтину, під час якого його стала часу може зменшуватися до $\tau_в \approx \tau_{βε}/4$. Вираз (3.39) спрощується до

$$t_ф^1 \approx t_в / S_з. \tag{3.40}$$

Отже, вибором високочастотного транзистора та режиму великого сигналу фронт вимикання колекторного струму $t_ф^1$ можна зменшити практично до нехтовно малої величини. Проте наявність ємності навантаження $C_н$ (рис. 3.9,*в*) навіть за стрибкоподібного припинення колекторного струму (миттєвого розмикання перемикача S) призводить до повільної зміни вихідної напруги $u = u_к$

через заряджання конденсатора $C_н$ струмом $i_з$. Внаслідок цього зміна напруги $u_к$ відстає від струму $i_к$ (пунктир на рис. 3.8). З урахуванням впливу ємності навантаження фронт усталення колекторної напруги становить

$$t^1_{ф.с} \approx 3C_н R_к. \tag{3.41}$$

Проте після моменту t_6 навантажувальний ключовий елемент почне перемикатися по досягненні на виході $u_к$ порогової напруги $U_п$ через час

$$\Delta t_2 = t_з \ln \frac{E_ж - U_{к.н}}{E_ж - U_{пр}} \approx t_з \ln \frac{1}{1 - U_п / E_ж}, \tag{3.42}$$

де $\tau_з = C_н R_к$. Або з урахуванням інтервалу $t_р$ час затримки поширення під час вимикання за умови $E_ж » U_п$ становить

$$t^{01}_{з.п} = t_р + C_н R_к \frac{U_п}{E_ж} = t_р + C_н \frac{U_п}{I_{к.н}}. \tag{3.43}$$

Затягування фронту напруги під час вимикання може звести нанівець усі заходи щодо підвищення швидкодії, якщо ємність навантаження значна. Через це сталу $\tau_з = C_н R_к$ зменшують шляхом заступлення резистора $R_к$ емітерним повторювачем з малим вихідним опором як це робиться, наприклад, у БЕ ТТЛ.

Слід відзначити, що вплив ємності навантаження на процес вмикання неістотний, бо при цьому відбувається її розряджання струмом $i_р$ через дуже малий вихідний опір насиченого транзистора $R_{вих.н} \approx 0$ (через замкнений перемикач S на рис. 3.9,*в*).

3.2.3. Методи підвищення швидкодії ТК

Шляхом аналізу перехідних процесів з'ясовано, яким чином можна зменшити окремі етапи й тим самим підвищити швидкодію ТК. Крім вибору високочастотних транзисторів та зменшення паразитних ємностей схеми основний принцип підвищення швидкодії полягає у вмиканні та вимиканні ТК великим базовим струмом, проте, аби не збільшувався час розсмоктування, по ввімкненні базовий струм бажано зменшувати до величини $I_{б.н}$. Оптимальну форму струму $i_{б.опт}$ зображено на рис. 3.10,*а*: під час вмикання протягом $t_{вм}$ струм відчинення бази $I_б^1 » I_{б.н}$ та протягом вимикання $t_{вим}$ струм зачинення $|I_б^-| » » I_{б.н}$. Через те, що до моменту вимикання S=1, час розсмоктування згідно з (3.38) $t_р$=0.

Форму базового струму, близьку до оптимальної, можна здобути за допомогою нелінійного зворотного зв'язку або пришвидшувального конденсатора. Інші способи підвищення швидкодії, що застосовуються в інтегрованих мікросхемах, наводяться в наступній главі.

1. Ключ на транзисторі Шотткі. Транзистор з бар'єром Шотткі (рис.3.10,*б*) моделюється схемотехнічно транзистором *VT* та діодом Шотткі *VD* (рис. 3.10,*в*), виконаними в єдиному технологічному циклі. З надходженням до входу ключа на транзисторі Шотткі (ТКШ) стрибкоподібної напруги *e* (момент t_1 на рис. 3.10,*а*) процес вмикання відбувається як і в звичайному ТК: вхідний струм I^1 зростає стрибком і втікає до бази транзистора, базовий перехід якого відчиняється і фіксує напругу на базі $u_б=U_{пр}$, а діод Шотткі залишається зачиненим, бо $E_ж>U_{пр}$.

Коли, в міру зростання колекторного струму до величини $I'_{к.н}$, дещо меншої за $I_{к.н}$, та зменшення колекторної напруги до $u_к=U_{пр}$ (момент t_2) робоча точка опиняється на лінії навантаження дещо правіше точки *H* (див. рис. 3.6,*г*), де транзистор виявляється на грані насичення, діод Шотткі відчиняється, бо його напруга відтину $U_{до}\approx 0$. Через те, що вхідний опір $r_{б.н}\gg R_{вих.н}$, вхідний струм I^1 починає частково відгалуживатися через діод (суцільна стрілка $i_д$ на рис. 3.10,*в*) у колектор транзистора, тому базовий струм спадає до величини $I_б\approx I_{б.н}$. Колекторна напруга при цьому фіксується на рівні

$$U^0=U_{пр}-U_{до} \qquad (3.44)$$

і становить біля $U^0\approx 0{,}3$ *В*, тобто дещо перевищує напругу насичення $U_{к.н}$ у звичайному ТК.

Отже, по ввімкненні транзистор залишається в активному режимі, точніше на грані насичення з коефіцієнтом $S\approx 1$. Незважаючи на це, вихідна напруга виявляється стабільною, бо вона фіксується згідно з (3.44) двома *p-n*-переходами. Крім того, завдяки дії нелінійного негативного зворотного зв'язку робоча точка автоматично підтримується на грані насичення. Якщо під дією дестабілізівних чинників вона зрушується правіше по лінії навантаження, себто напруга на колекторі збільшується, діод *VD* дещо причиняється й вхідний струм перерозподіляється в бік збільшення базового струму, що повертає робочу точку на місце. І, навпаки, входження транзистора до режиму більш глибокого насичення зменшує напругу на колекторі та вихідний опір $R_{вих.н}$, що сприяє перерозподілу вхідного струму в бік збільшення струму через діод і зменшенню базового, тобто повертає режим до грані насичення.

Під час вимикання ключа негативним перепадом напруги (момент t_3) до величини E^0 й одночасним зменшенням внутрішнього опору джерела сигналу до $R_д=R_{вих.н}\gg 0$ з'являється зворотний базовий струм значної величини

$$I_б^- \approx (U_{пр}-U^0)/r_б,$$

який розгалужується у вхідне коло струмом I^- та в діод струмом $i_Д$ (пунктирні

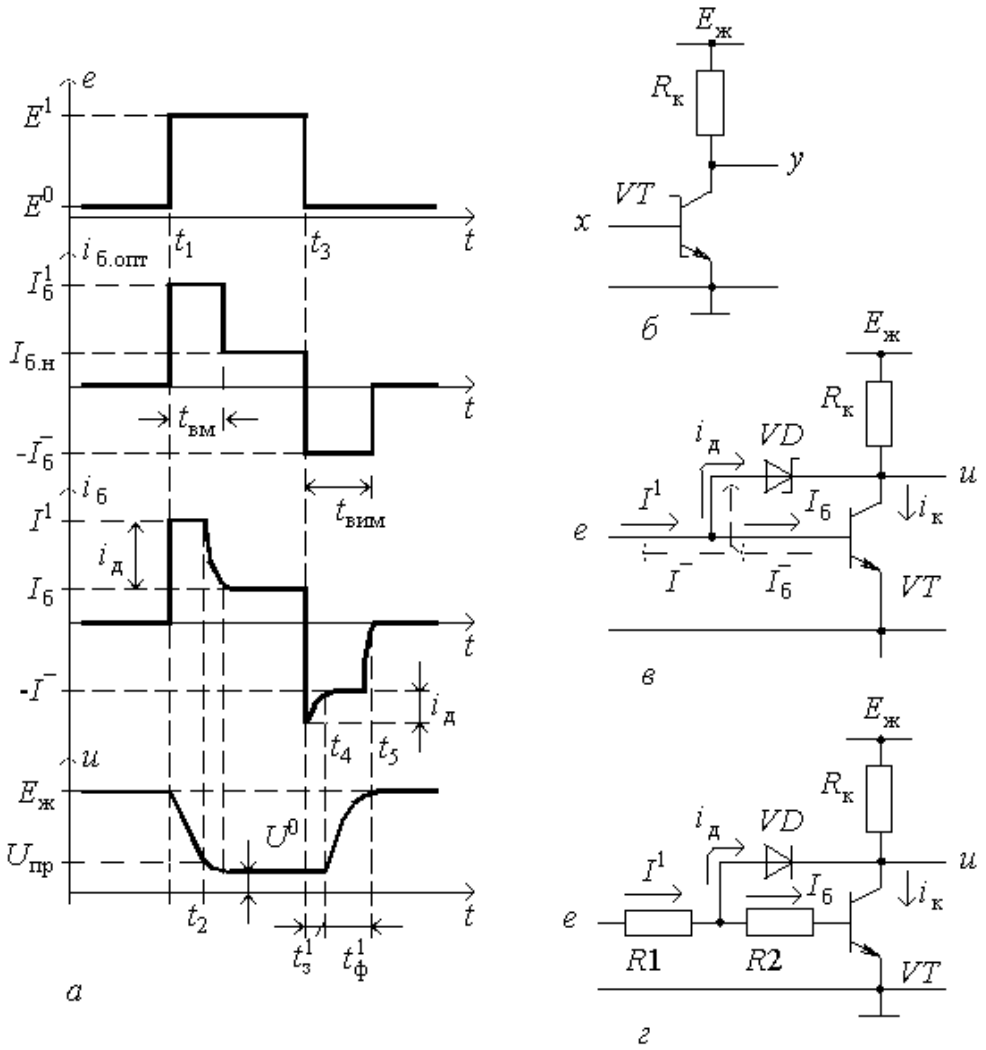


Рис. 3.10

стрілки на рис. 3.10,*в*), тобто $|I_б^-|=|I^-|+i_д$. Через те, що напруга на аноді діода зменшилась, він починає зачинятися і на інтервалі (t_3, t_4), що дорівнює часові відновлення $t_в$ зворотного опору діода, відбувається затримка вимикання ключа $t_з^1=t_в$. По зачиненню діода фронт вимикання $t_ф^1$ на інтервалі (t_4, t_5) формується як звичайно.

Отже, у ТКШ відсутній етап розсмоктування надлишкового заряду в шарах транзистора: $t_р=0$, а затримка вимикання, зумовлена відновленням зворотного опору діода Шотткі, не перевищує 1 *нс*. Форма струму бази наближається до оптимальної $i_{б.опт}$ та внаслідок безпосереднього (або через емітерний повторювач) зв'язку між каскадами струми відчинення $I_б^1$ та зачинення $I_б^-$

набагато вищі, ніж у ключів з опоровим зв'язком через резистор $R_б$. Крім того, через це часом затримки вмикання $t_з^0$ можна також практично знехтувати.

Завдяки високій швидкодії ТКШ широко застосовуються в інтегрованій мікросхемотехніці. Недоліком ТКШ є зменшення їх завадостійкості: через збільшення рівня лог. 0 на виході схеми U^0 дещо зменшується припустимий рівень завади $U_з^0$ (див. рис. 3.6,*в*), проте головним є сприйнятливість до динамічних завад, бо дія імпульсної, навіть короткочасної завади може спричинити сплески колекторної напруги, адже не потрібний час для виходу транзистора з режиму насичення. Тому застосування швидкодійних ТК потребує вжиття конструктивних заходів завадозахисту.

Ключ із нелінійним негативним зворотним зв'язком *на дискретних елементах* (рис. 3.10,*г*) утворюється шляхом розподілу на дві частини резистора $R_б=R_1+R_2$ для зміщення звичайного діода *VD*, головними вимогами до якого є малі значення часу відновлення зворотного опору $t_в$ та величини прямого опору $R_{пр}$.

Ключ працює аналогічно ТКШ: коли, під час відчинення транзистора напруга на його колекторі зменшується до величини $U^0>U_{к.н}$, діод відчиняється і фіксує режим транзистора на грані насичення. Для зменшення напруги U^0 вибирають діод *VD* з малою напругою відтину $U_{до}$, а також замінюють резистор R_2 діодом, увімкненим у тому ж напрямку, що й *VD*. Новий діод вибирають таким самим, як і *VD* або з більшою напругою $U_{д.пр}$, ніж у діода *VD*.

2. ТК із пришвидшувальним конденсатором. Під час вмикання ТК із пришвидшувальним (форсувальним) конденсатором (рис. 3.11,*а*) стрибкоподібним зростанням вхідної напруги *e* (момент t_1 на рис. 3.11,*б*) забезпечується стрибок базового струму значної величини (3.31) внаслідок заряджання пришвидшувального конденсатора струмом $i_з=I^1_{б.с}$ через базу транзистора: конденсатор мов би закорочує резистор $R_б$ на час вмикання. По зарядженні конденсатора (момент t_2) базовий струм обмежується резистором $R_б$ згідно з (3.9).

Під час вимикання ТК, починаючи з моменту t_3, розряджанням конденсатора струмом $i_р=I_{б.с}$ через базу транзистора й джерело сигналу утворюється стрибок зворотного базового струму

$$I^-_{б.с}=\frac{U_c}{R_Д+R_{вх.н}}\approx\frac{E^1-U_{пр}-E^0}{r_{б.н}}, \qquad (3.45)$$

бо при цьому власний опір джерела сигналу $R_д \ll r_{б.н}$.

Отже, форма базового струму за допомогою пришвидшувального конденсатора наближається до оптимальної (див. рис. 3.10,*а*) за правильного

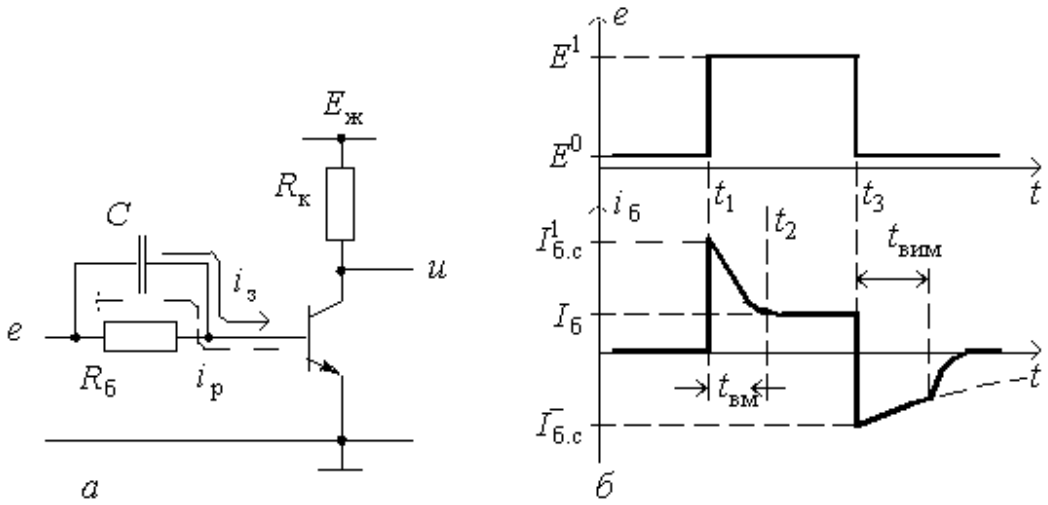


Рис. 3.11

вибору ємності *C*, що сприяє зменшенню всіх етапів перехідних процесів. Якщо вибрати ємність *C* надто малою, конденсатор встигне зарядитися до закінчення вмикання ТК і дія його буде неефективною, бо базовий струм спаде передчасно. І, навпаки, за надто великої ємності *C* конденсатор не встигне зарядитися до закінчення імпульсу, що збільшуватиме час розсмоктування заряду в транзисторі та, крім того, затягнеться час остаточного розряджання конденсатора через резистор $R_б$ (пунктир на рис. 3.11,*б*) по зачиненні транзистора.

Припускаючи, що під час заряджання конденсатора струм через нього

$$i_c = C\frac{du_c}{dt} \approx C\frac{\Delta u_c}{\Delta t} = C\frac{E^1 - E^0}{\Delta t}$$

має протікати протягом інтервалу Δt, з урахуванням, що $i_c = I^1_{б.с} - I_б$, дістаємо

$$C = \Delta t \frac{I^1_{б.с} - I_б}{E^1 - E^0}, \qquad (3.45)$$

де Δt – мінімально припустимий потрібний час вмикання або вимикання; $I_б \approx I_{б.н} = I_{к.н}/h_{21е.мін}$.

3.2.4. Ескізний розрахунок транзисторних ключів

Вибір параметрів ТК є багато в чому універсальним щодо розрахунку будь-яких ключових схем, наприклад, пристроїв формування та генерування імпульсних сигналів тощо. Після вибору елементів схеми ТК докладний розрахунок його статичних та динамічних характеристик доцільно виконувати на ЕОМ за допомогою стандартних комплектів прикладних програм. Змінюючи вхідні дані, можна оптимізувати технічне рішення, дослідити вплив розкиду

параметрів, дестабілізівних чинників і т. ін. Проте необіхідно орієнтуватися в ескізному розрахунку ТК ручним способом, методика якого може бути такою.

1) Напругу джерела живлення $E_ж$ вибирають з ряду стандартних значень виходячи з потрібного рівня лог. 1 на виході ТК $E_ж \geq U^1$ або амплітуди U_m вихідного сигналу $E_ж > U_m$.

2) Вибір транзистора здійснюють з таких міркувань.

а) Щодо вибору його типу за функційним призначенням враховують, що для імпульсних та універсальних транзисторів контрольованими є параметри, важливі для ключового режиму їх роботи: напруги насичення $U_{к.н}$, $U_{пр}$, ємність колекторного переходу $C_к$, час розсмоктування $t_р$, який вимірюється, здебільшого, за коефіцієнта насичення S=2 та базовому струму зачинення $|I_б^-| = (0{,}1...1)I_б^1$.

б) Вибір типу транзисторів за матеріалом виготовлення здійснюють з ураховуванням, що через малу напругу відтину $U_{бо}$ та значний зворотний тепловий струм $I_{ко}$ германійових транзисторів необхідно вживати схемних заходів щодо забезпечення режиму відтину ключових схем.

в) З точки зору надійності транзистор має задовольняти вимоги граничних експлуатаційних параметрів. У першу чергу враховують допустимі максимальні напруги між колектором і емітером та базою: $U_{к.е.макс} \geq E_ж$; $U_{к.б.макс} \geq E_ж$. Слід звернути увагу також на максимально допустиму зворотну напругу на базовому переході $U_{е.б.макс}$, яка для сплавних транзисторів близька до допустимих колекторних напруг, а для дифузійних та планарних транзисторів становить від часток вольта до кількох вольт. Цей параметр має особливе зна-чення для схем, на вході яких можуть виникати сплески напруги зачиняльної полярності як, наприклад, у ключі з пришвидшувальним конденсатором. Щодо вибору транзистора за експлуатаційними параметрами враховують також, що робота його в граничному режимі знижує надійність пристрою, а експлуатація в граничних режимах двох і більше параметрів є неприпустимою.

г) Для забезпечення потрібної швидкодії враховують, що в режимі великого сигналу стала часу дібраного транзистора має бути сумірною із заданою триваліcтю $\Delta t_{доп}$ вмикання або вимикання: $\Delta t_{доп} \approx \tau_{\alpha e} \approx \tau_{\beta e}/h_{21e} = \tau_\alpha + C_к R_к$. Якщо ємність колекторного переходу $C_{к0}$ наведено для деякої напруги U_0, то визначити її значення $C_{к1}$ для іншої напруги U_1 можна за допомогою довідкових графіків, а за їх відсутності – зі співвідношення $C_{к1} = C_{к0}(U_0/U_1)^m$, де m=1/2 для сплавних та m=1/3 для дифузійних транзисторів. Природно, час розсмоктування $t_р$ транзистора має задовольняти вимогу $t_р < t_{вим}$, інакше вдаються до схемних заходів його зменшення.

3) Щодо вибору струму насичення $I_{к.н}$ виходять із того, що його збільшення сприяє підвищенню швидкодії ТК, проте надмірне збільшення $I_{к.н}$ призводить до зниження величини h_{21e} і підвищення споживаної потужності. Загалом $I_{к.н}$ має не перевищувати $I_{к.доп}$. Природно, для ощадливих щодо споживаної потужності схем величину $I_{к.н}$ необхідно зменшувати. Найдоцільніше вибирати $I_{к.н}$ за довідковим графіком залежності $h_{21e}(I_к)$, а за відсутності такого графіку – за даними типового режиму, де гарантуються паспортні параметри транзистора.

4) Опори резисторів $R_к$ та $R_б$ розраховують за формулами відповідно (3.8) та (3.13), (3.14). Для схеми на рис. 3.6,*є* напругу зміщення вибирають порядку $E_{зм}\approx 0{,}2E_ж$, але не нижче $E_{зм}\geq 1...2\ B$ та за (3.15) розраховують опір $R_{зм}$.

5) Оцінюють тривалість вмикання $t_{вм}=t_з^{\,0}+t_ф^{\,0}$ і вимикання $t_{вим}=t_р+\Delta t^1$, де як інтервал Δt^1 беруть більше із значень $t_ф^{\,1}$ за (3.39) чи $t^1_{ф.с}$ за (3.41) або залежно від завдання $t_{вим}=t^{01}_{з.п}$ за (3.43). Після порівняння вислідів розрахунків із заданою тривалістю $\Delta t_{доп}$ вмикання та вимикання ТК висновують необхідність поліпшення швидкодії розрахованої схеми.

6) Якщо застосовують ТК із пришвидшувальним конденсатором, тривалість перехідних процесів визначають з урахуванням (3.31), (3.45), а ємність конденсатора розраховують за формулою (3.46).

7) Уточнюють розрахунок вихідних параметрів на ЕОМ, зокрема, на найгірший випадок: перевіряють, чи задовольняють вимоги параметри схеми з урахуванням розкиду параметрів елементів, зокрема, транзистра, у тому числі в температурному діапазоні та за вибраними допусками; відтак, у разі потреби, коригують величини вибраних параметрів схеми.

§3.3. КЛЮЧІ НА ПОЛЬОВИХ ТРАНЗИСТОРАХ

3.3.1. Статичні режими

З двох різновидів польових транзисторів: з керувальним *p-n*-переходом та з ізольованим затвором (МОН- або МДН-транзистори) у цифровій техніці найчастіше застосовується другий тип. Через великий вхідний опір у статичних режимах МОН-транзистори практично не споживають струм від джерела сигналу й забезпечують тим самим велику навантажівну здатність. У свою чергу з двох типів МОН-транзисторів: із вбудованим та індукованим каналом з огляду на технологічність виготовлення в ІС, здебільшого, застосовуються транзистори з індукованим каналом. Внаслідок властивості самоізоляції транзисторів з індукованим каналом на одному підшарку можна утворити низку

МОН-структур без ізолювальних шарів між ними, що сприяє підвищенню ступеня інтеграції. У МОН-транзисторах використовуються основні носії заряду одного типу: електрони – у транзисторі з каналом типу *n* (*n*-МОН) або дірки – з каналом типу *p* (*p*-МОН). З огляду на те, що рухливість електронів вища, ніж дірок, *n*-МОН-транзистори принципово більш швидкодійні, тому поширення набувають сучасні ІС на базі *n*-МОН-технології або суміщеної *n*-МОН та *p*-МОН-технології.

Для визначеності розглянемо ключ на МОН-транзисторі з вбудованим каналом типу *n* (рис. 3.12,*а*).

У *вимкненому* стані (вимкнене положення перемикача *S* на рис. 3.1,*а*) транзистор зачинений вхідною напругою U^0, меншою за напругу відтину $U_{з.о}$

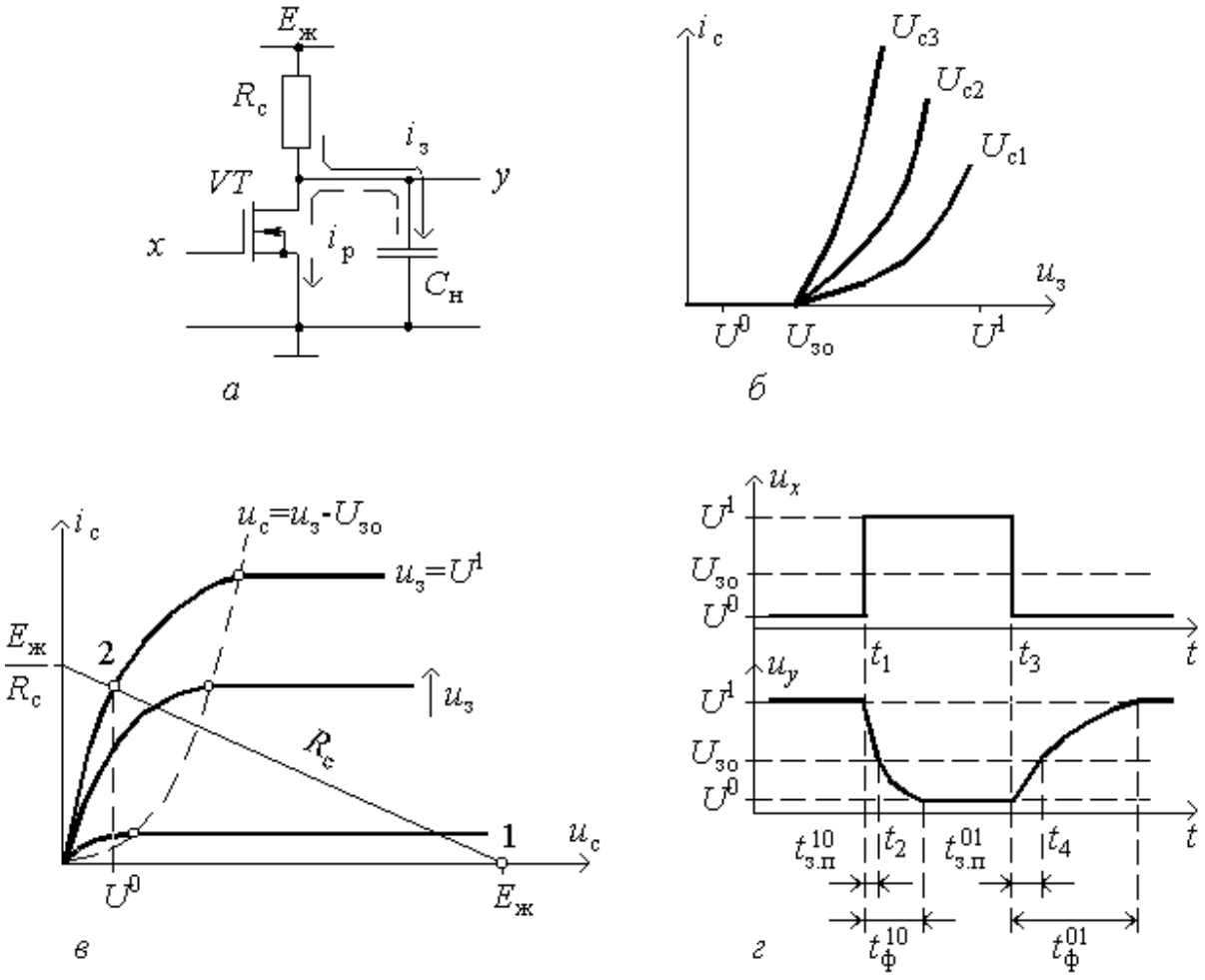


Рис. 3.12

(рис. 3.12,*б*). При цьому стоковий струм не протікає і робочій точці 1 на вихідній характеристиці, пристайній до осі абсцис (рис. 3.12,*в*), відповідає напруга $U^1=E_ж$.

У *ввімкненому* стані напругою на вході $u_x=U^1$ транзистор відчинений, що відповідає робочій точці 2 на вихідних характеристиках (і ввімкненому положенню перемикача *S* на рис. 3.1,*а*). З урахуванням опору каналу R_o вихідна напруга

$$U^0 = E_ж \frac{R_o}{R_c + R_o}$$

для узгодження рівнів має задовольняти вимогу $U^0<U_{з.о}$ із запасом на завадостійкість, тому опір навантаження вибирають з умови $R_c \gg R_o$.

3.3.2. Перехідні процеси

Під час *вмикання* (момент t_1 на рис. 3.12,*г*) позитивним перепадом вхідної напруги u_x внаслідок малої інерційності транзистора можна вважати, що провідність каналу виникає стрибком, його опір R_o зменшується (еквівалентний перемикач *S* на рис. 3.1,*а* переходить до ввімкненого стану) і навантажувальна ємність $C_н$, заряджена в початкому стані до напруги $E_ж$, розряджається струмом $i_р$ через паралельне з'єднання опорів зі сталою $\tau_р=C_н(R_o||R_c)$. По закінченні фронту вмикання $t_ф^{10} \approx 3\tau_р$ робоча точка опиняється в положенні 2.

Вимикання, починаючи з моменту t_3 здійснюється негативним перепадом вхідної напруги: транзистор зачиняється (перемикач *S* розмикається) і ємність $C_н$ заряджається струмом $i_з$ протягом $t_ф^{01} \approx 3\tau_з=3C_нR_c$ до усталеної напруги $U^1=E_ж$. Тривалість перехідних процесів визначається фронтом вимикання $t_ф^{01} \gg t_ф^{10}$, бо $\tau_з \gg t_р$.

Через великий вихідний опір відчиненого МОН-транзистора навантажувальний резистор вибирають високоопірним, тому тривалість фронту вимикання може сягати сотен наносекунд. *Низька швидкодія* ключових схем на МОН-транзисторах є їх головним недоліком.

Усе викладене застосовно й для *p*-МОН-транзисторів, якщо зважити на те, що робочі напруги на заслоні та стоці відносно витоку мають бути від'ємними, а логічні рівні при цьому розглядати за модулем: велика негативна напруга відповідає рівневі лог. 1, а низька – лог. 0. Дискретні ключові схеми на МОН-транзисторах за основними показниками (крім великого вхідного опору та радіаційної стійкості) поступаються біполярним ТК і застосовуються рідко, а в інтегрованому виконанні високоопірний резистор лінійного навантаження займає в десятки разів більшу площину за МОН-транзистор. Тому як навантажувальні елементи в ІС застосовуються МОН-транзистори з каналом того самого або протилежного типу провідності відносно керувального транзистора.

Запитання та вправи

3.1. Як впливають інерційність діода й паразитна ємність схеми на перехідні процеси в діодному ключі? Як співвідносяться фронти зростання й спадання напруги в послідовному та в паралельному ключі?

3.2. В якому статичному стані перебуває ТК, з'єднаний входом із виходом аналогічного ТК, якщо останній перебуває в режимі: *а*) відтину, *б*) насичення, *в*) активному, коли напруга на його виході $U_к=E_ж/2$, *г*) біля межі насичення, якщо напруга на його виході $U_к \approx U_{бо}$? Обгрунтуйте можливі варіанти відповідей.

3.3. Чому дорівнюватиме вихідна напруга ТК на рис. 3.6,*а*, з'єднаного входом із напругою $E_ж$ через резистор $R_б=h_{21e}R_к$, якщо: *а*) розірвати ділянку між емітером і землею, *б*) запаралелити $R_б$ таким самим резистором, *в*) з'єднати вихід із землею через резистор, опір якого дорівнює $R_к$, *г*) послідовно з $R_к$ підімкнути такий самий опір, д) замінити транзистор з удвічі більшим коефіцієнтом h_{21e}?

3.4. Побудуйте передатну характеристику діодних ключів за схемами на рис. 3.2,*г*,*д* з протилежним увімкненням діодів, послідовно з якими ввімкнено дже-рело зміщення $E_{зм}$, якщо його величина становить *а*) +1 *В*, *б*) -1 *В*, за таких пара-метрів елементів схеми: $R_д$=200 *Ом*, $R_{пр}$=10 *Ом*, $R_{зв}$=50 *кОм*, $R_{обм}$= =100 *Ом*, $R_н$=1 *кОм*.

3.5. Розрахуйте діодний ключ, якщо задано: рівні вхідного прямокутного імпульсу E^0=0; E^1=5 *В*; опір навантаження $R_н$=1 *кОм*; рівні вихідної напруги U^0<0,2 *В*, U^1>3,5 *В*; ємність навантаження $C \le 100$ *пФ*; допустима тривалість фронтів вихідної напруги $t_{ф.доп} \le 1$ *мкс*; температурний діапазон навколишнього середовища -40...+70°*С*.

3.6. Зобразіть форму вихідної напруги ТК на рис. 3.6,*а*, синхронну зі вхідною $e(t)=E_m \sin \omega t$, якщо E_m=10 *В*, $\omega \ll \omega_a$ та задано (коефіцієнт *S* задається для $e=E_m$) такі параметри схеми: *а*) $R_к$=1 *кОм*, $R_б$=8,2 *кОм*, $I_{к.н}$=10 *мА*, $I_{б.н}$=1 *мА*; *б*) $E_ж$=20 *В*, $R_к$=2 *кОм*, $R_б$=21 *кОм*, h_{21e}=50; *в*) $E_ж$=10 *В*, $R_к$=2 *кОм*, h_{21e}=25, *S*=2; *г*)$E_ж$=20 *В*, $I_{к.н}$=5 *мА*, h_{21e}=20, *S*=3; *д*) $E_ж$=10 *В*, $I_{б.н}$=0,2 *мА*, h_{21e}=25, *S*=2; *е*)$E_ж$=15*В*, $R_б$=102,5 *кОм*, $I_{к.н}$=10 *мА*, h_{21e}=40.

3.7. Розрахуйте тривалість етапів перехідних процесів у ТК з такими параметрами: E^1=5 *В*; $E^0 \le 0{,}3$ *В*; $E_ж$=10 *В*; $R_к$=2 *кОм*; $R_б$=100 *кОм*; $U_{бо} \approx U_{пр} \approx U_п \approx 0{,}7$ *В*; h_{21e}=25...100; $f_а$=0,5 *мГц*; $C_к$=20 *пФ*; $C_е$=30 *пФ*; $C_м$=20 *пФ*; $C_н$=50 *пФ* для схеми *а*) на рис. 3.6,*а*; *б*) на рис. 3.11,*а* при *С*=330 *пФ*.

3.8. Виконайте ескізний розрахунок ТК за такими даними: E^1=10 *В*, E^0= =0,2 *В*, $U^1 \approx 20$ *В*, $U^0 \le 0{,}4$ В, температурний діапазон -40...+60°*С*, $C_м$=15 *пФ*, $C_н$=30 *пФ*, тривалість вмикання та вимикання має не перевищувати $\Delta t_{доп} \le 1$ *мкс*. Розрахуйте статичні та динамічні характеристики спроектованого ТК на ЕОМ.

Глава 4

БАЗОВІ ЕЛЕМЕНТИ ЦИФРОВИХ ІНТЕГРОВАНИХ МІКРОСХЕМ

Логічний елемент, який здійснює одну й ту саму функцію, можна побудувати на основі електронних ключів різного типу, що відрізняються схемним і технологічним виконанням. *Базовий елемент* (БЕ) цифрових інтегрованих мікросхем (ІС) є логічний елемент конкретного типу технології та схемотех-ніки. Серед сучасних цифрових ІС набули поширення БЕ на основі біполярної технології: ТТЛ – транзисторно-транзисторної логіки, ЕСЛ – емітерно-сполученої логіки, $І^2Л$ – інтегрованої інжекційної логіки, а також на основі уніполярної технології: МОНТЛ – на МОН-структурах та КМОНТЛ – на комплементарних МОН-структурах.

Комплект ІС різного призначення, побудованих на основі БЕ одного типу, що має єдине конструктивно-технологічне виконання, утворює *серію* ІС. На основі ІС однієї серії, а іноді також різних серій з однаковим конструктивним виконанням зручно будувати пристрої, бо не має потреби в електричному та конструктивному узгодженні елементів.

§4.1. БАЗОВІ ЕЛЕМЕНТИ ТТЛ

4.1.1. Базові елементи з простим інвертором

До комплекту серій ІС ТТЛ входить понад 100 типономіналів – різновидів ІС за функційним призначенням. Поширення ІС ТТЛ зумовлене їх універсальністю, добре розвиненою технологією і схемотехнікою, а також параметрами, що задовольняють вимоги побудови пристроїв різноманітного призначення.

Елементи ТТЛ походять від схем діодно-транзисторної логіки (ДТЛ). БЕ ДТЛ (рис. 4.1,*а*) виконує логічну функцію І-НЕ та утворюється від елемента І діодної логіки (див. рис. 3.5,*б*) додаванням на його виході ключа-інвертора на транзисторі VT, емітерний перехід $V_{бе}$ якого еквівалетний діоду $VD_н$.

З надходженням хоча б на один зі входів x_1, x_2 напруги рівня лог. 0 відповід-

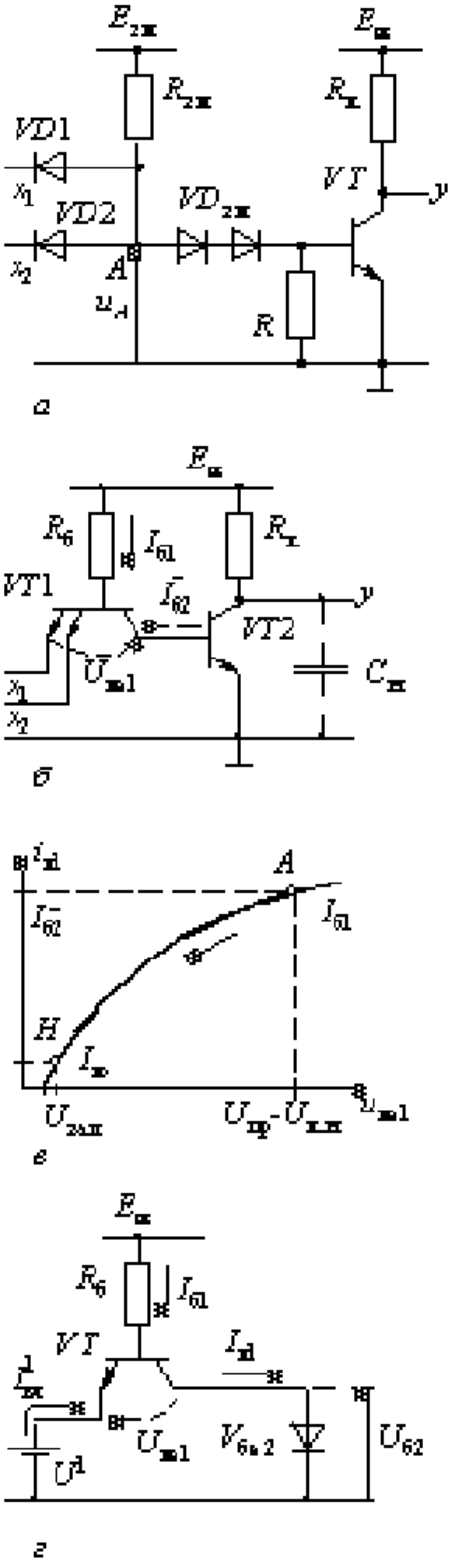


Рис. 4.1

ний вхідний діод відчиняється, тому напруга в точці *A* схеми стає низькою, недостатньою для відкривання трьох *p-n*-переходів: двох діодів зміщення $VD_{зм}$ та емітерного переходу $V_{бе}$, внаслідок чого транзистор *VT* опиняється в режимі відтину й на його виході *y* встановлюється напруга рівня лог. 1: $U^1 \approx E_ж$. Лише з надходженням до всіх входів напруг рівня лог.1 вхідні діоди зачиняються, струм від джерела $E_{зм}$ перемикається до бази транзистора, тому останній переходить до режиму насичення і напруга на його виході *y* зменшується до рівня лог. 0: $U^0 = U_{к.н}$. Через те, що входи x_i виявляються при цьому ізольованими, елемент не споживає струм від джерела сигналу.

БЕ ТТЛ (рис. 4.1,*б*) відрізняється від БЕ ДТЛ тим, що в ньому роль вхідних діодів, які виконують функцію І, та діодів зміщення відіграє *багатоемітерний транзистор* (БЕТ) *VT*1: його емітерні переходи $V_{бе1}$ еквівалентні діодам *VD*1, *VD*2, а колекторний перехід $V_{бк1}$ – діоду $VD_{зм}$. Ключ-інвертор на транзисторі *VT*2, як і раніше, забезпечує відновлення стандартних логічних рівнів на виході схеми. Крім того, БЕТ пришвидшує процес вимикання цього ключа.

Формально принцип дії елементів аналогічний. Проте внаслідок взаємодії переходів у БЕТ є відмінність між елементами ТТЛ і ДТЛ. Під час зменшення вхідної напруги, наприклад, на вході x_1 до рівня лог. 0 зворотний струм $I_{б2}$ розсмоктування заряду в насиченому транзисторі *VT*2 замикається через транзистор *VT*1, який при цьому опиняється в активному режимі: його робоча точка *A* (рис. 4.1,*в*) визначається струмом $I_{к1} = I^{-}_{б2}$ значної величини і напругою $u_{ке1} = U_{пр} - U_{к.н}$ (при з'єднанні входу x_1 з колектором насиче-

ного транзистора). Через це струм $I^{-}_{б2} = h_{21e}I_{б1}$ підсилюється транзистором *VT*1 і пришвидшує процес розсмо-ктування та вимикання транзистора *VT*2 (у БЕ ДТЛ розсмоктування затягується, бо струм $I_б$ протікає через резистор *R* з великим опором). В міру зачинення ключа *VT*2 робоча точка рухається траєкторією *A*-*H* і, отже, БЕТ переходить до режиму насичення з мікрострумом у колі колектора, що дорівнює зворотному тепловому струмові $I_{КО}$ транзистора *VT*2. На початку координат точці *H* відповідає залишкова напруга $u_{ке1}=U_{зал}<U_{к.н}$, яка за величиною не перевищує 0,05...0,1 *В*, тому напруга на базі транзистора *VT*2 близька до вхідної: $u_{б2}=U^0+U_{зал}<U_{бо}$ і підтримує його в стані відтину.

З надходженням на всі входи напруги рівня лог. 1 всі емітерні переходи БЕТ *VT*1 зачиняються, а його колекторний перехід $V_{бк1}$ та базовий перехід $V_{бе2}$ інвертора відчиняються, транзистор *VT*2 переходить до режиму насичення. Елементарний транзистор *VT* у складі БЕТ (рис. 4.1,*г*) при цьому виявляється в активному інверсному режимі – ролі емітера та колектора міняються місцями, тому струм $I_{к1}=I_{е1}+I_{б1} \approx I_{б1}$, бо інверсний емітерний струм, що втікає в схему $I^1_{вх}=I_{е1}=h_{21e.i}I_{б1}«I_{б1}$ через те, що в інверсному ввімкненні коефіцієнт $h_{21e.i}«1$. Отже, від джерела сигналу до емітера втікає вхідний струм $I^1_{вх}$, що навантажує його, тому цей струм зменшують до мінімуму; типове значення $I_{вх}{}^1 \le 40$ *мкА*.

Позитивною якістю розгляненого елемента ТТЛ є підвищення його швидкодії відносно ДТЛ внаслідок того, що пришвидшується розсмоктування заряду в інверторі, а недоліком є зниження завадостійкості, бо в колі зміщення ТТЛ на один *p*-*n*-перехід менше. Крім того, як і в БЕ ДТЛ та в звичайному ключі, в елементі ТТЛ затягується фронт вимикання під час заряджання ємності навантаження $C_н$ через великий опір резистора $R_к$. Ці недоліки усуваються в елементах зі складним інвертором, які й набули практичного застосування.

4.1.2. Основна схема та статичні режими

Базова схема елемента ТТЛ (на рис. 4.2,*а* виділена пунктиром) складається зі вхідного каскаду на БЕТ *VT*1, який виконує, як і в попередній схемі, логічну функцію І, фазорозділювального каскаду *VT*2, що виконує функцію комутатора, та вихідного двотактного каскаду на транзисторах *VT*3, *VT*4.

Розглянемо для спрощення статичні стани БЕ в режимі інвертора: до входу $x_2=1$ прикладено сталу напругу рівня лог. 1, тому відповідний емітерний перехід зачинений і не впливає помітно на роботу елемента. Напругою u_{x1} на вході x_1, з'єднаного з виходом такого самого БЕ на транзисторах *VT*3′, *VT*4′, струм $I_{б1}$ від джерела живлення $E_{ж}$ перемикається то в емітер БЕТ через перехід $V_{бе1}$,

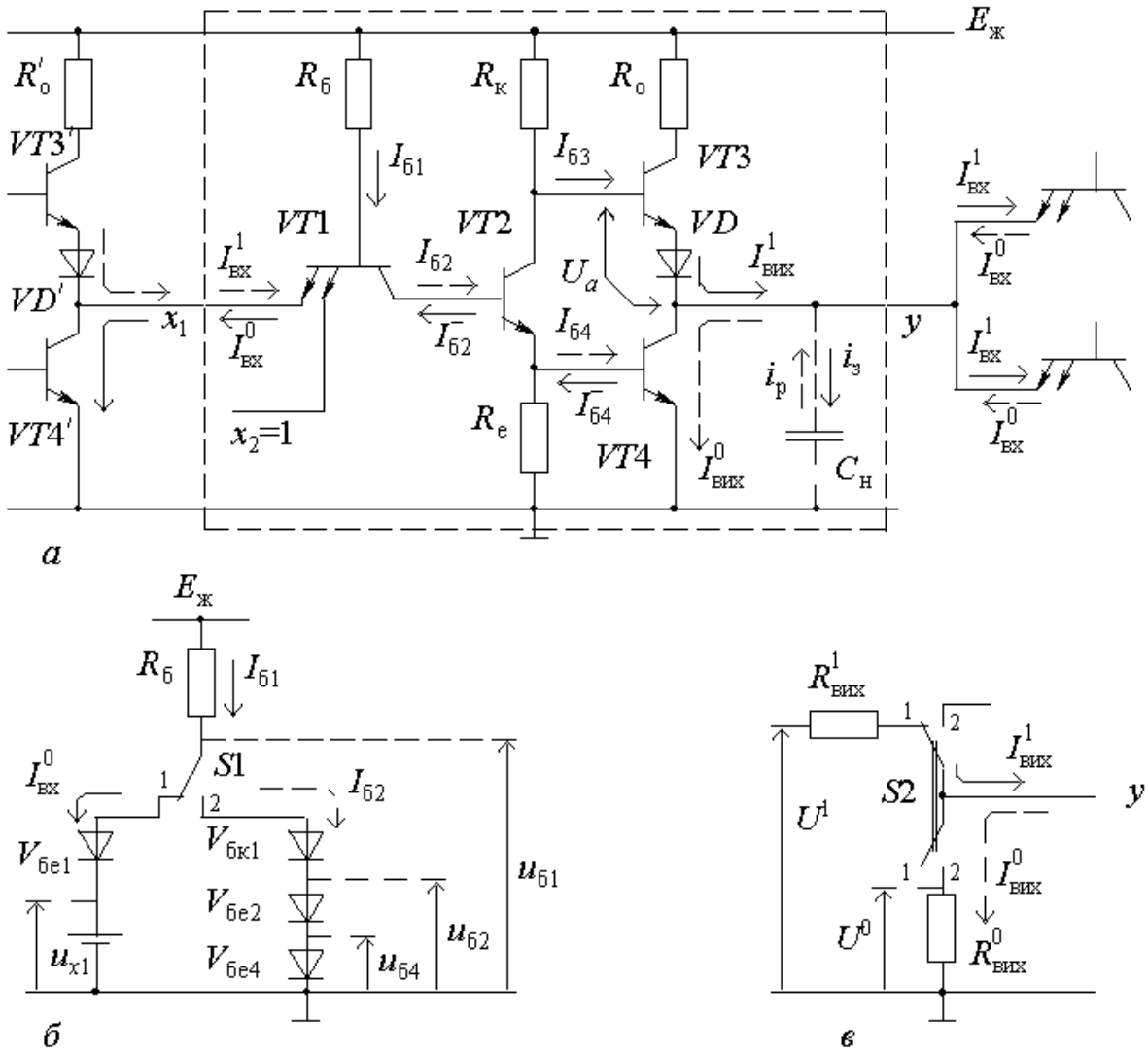


Рис. 4.2

зв'язаний зі входом x_1, то в емітерні переходи $V_{бе2}$, $V_{бе4}$ транзисторів *VT*2, *VT*4 через колекторний перехід $V_{бк1}$ БЕТ. Умовно така комутація зображена за допомогою перемикача *S*1 на рис. 4.2,*б*. Схема на транзисторах *VT*2, *VT*3, *VT*4 є складним інвертором: фазорозділювальний каскад *VT*2 комутує транзистори вихідного каскаду, підмикаючи по черзі вихід *y* до високої напруги U^1 або до низької U^0, як це умовно показано на рис. 4.2,*в* за допомогою двопозиційного перемикача *S*2. При цьому вихід *y* навантажено на кількість входів $K_{роз}$ аналогічних БЕ ($K_{роз}$ – коефіцієнт розгалуження або навантажівна здатність). Завдяки двотактному каскадові забезпечується малий вихідний опір в обох станах перемикача, внаслідок чого підвищується навантажівна здатність і швидкодія БЕ ТТЛ.

У ***вимкненому стані*** рівнем x_1=0 на виході насиченого транзистора-

джерела $VT4'$ емітерний перехід $V_{бе1}$ БЕТ $VT1$ відчинено (перемикач $S1$ у положенні 1) і через нього з елемента витікає вхідний струм $I^0_{вх}$ значної величини (у цьому стані струми подано суцільними стрілками), який замикається через транзистор $VT4'$. Напруга низького рівня

$$u_{б1}=U_{x1}+U_{бе1}=U_{к.н}+U_{пр}<3U_{бо} \quad (4.1)$$

не достатня для відкривання трьох p-n-переходів транзисторів $VT1$, $VT2$, $VT4$ (див. рис. 4.2,*б*), тому транзистор $VT2$ зачинений і до колектора БЕТ $VT1$ замикається лише його тепловий струм $I_{к1}=I_{б2}=I_{ко}$. Внаслідок цього транзистор $VT1$ опиняється в режимі насичення з мікрострумом у його колекторному колі, тому напруги становлять

$$u_{б2}=u_{x1}+u_{ке1}=U_{к.н}+U_{зал}\approx U_{к.н},\ \ u_{бк1}=u_{б1}-u_{б2}\approx U_{пр}. \quad (4.2)$$

Отже, обидва переходи транзистора $VT1$ зміщено в прямому напрямку, що пришвидшує процес розсмоктування заряду в транзисторі $VT2$ під час його закривання.

Зачинений транзистор $VT2$ комутує вихідний каскад таким чином: напругою $u_{е2}=u_{б4}=I_{е2}R_е\approx 0$ транзистор $VT4$ вимикається, а напругою $u_{к2}\approx E_ж$ вмикаються транзистор $VT3$ і діод VD, що еквівалентно стану 1 двопозиційного перемикача $S2$. Тому на виході y встановлюється напруга рівня лог. 1:

$$u_у=U^1=u_{к2}-u_{бе3}-u_{VD}\approx E_ж-2U_{пр}, \quad (4.3)$$

яка за типового значення $E_ж=5$ *В* становить $U^1\approx 3{,}5$ *В*. Крізний струм через вихідний каскад при цьому не протікає, а вихідний струм $I^1_{вих}$ витікає зі схеми і розгалужується до входів навантажувальних елементів, отже, струм $I^1_{вих}=K_{роз}I^1_{вх}$ невеликий, бо $I^1_{вх}\le 40$ *мкА*. За відсутністю навантаження вихідний струм дорівнює лише тепловому струмові транзистора $VT4$.

Резистор R_0 у вихідному каскаді опором біля $0{,}1R_к$ призначений для обмеження струму короткого зімкнення, який може виникнути під час випадкового закорочення виходу схеми на землю, під час заряджання ємності $C_н$ значної величини, а також у процесі перемикання вихідного каскаду, коли обидва транзистори $VT3$ та $VT4$ можуть опинитися у відчиненому стані. Навантаження ввімкнене в емітерне коло транзистора $VT3$, тобто цей каскад є емітерним повторювачем. Через малі значення опору R_0 і струму $I^1_{вих}$ напруга на колекторі $u_{к3}\approx E_ж$, а на базі $u_{б3}\le E_ж$, отже, колекторний перехід зачинений, тому транзистор $VT3$ перебуває в активному режимі. Цим пояснюється невеликий вихідний опір БЕ у вимкненому стані: $R^1_{вих}\approx R_к/h_{21е}$.

Таким чином, при $x_1x_2=0$ БЕ вимкнено, транзистори перебувають у таких

станах: *VT*1 – у режимі насичення, *VT*2, *VT*4 – у режимі відтину, *VT*3 – в активному режимі, діод *VD* – відчинений; вхідний і вихідний струми витікають із БЕ; напруги: на вході $U^0 \approx 0{,}2$ *B* та на виході $U^1 \approx 3{,}5$ *B*.

Статичний ***увімкнений стан*** забезпечується рівнем $x_1=1$ на виході відчиненого верхнього плеча *VT*3′, *VD*′ керувального каскаду. При цьому емітерний перехід $V_{бе1}$ БЕТ *VT*1 зміщується у зворотному напрямку, а три *p*-*n*-переходи транзисторів *VT*1, *VT*2, *VT*4 через резистор $R_б$ підмикаються до джерела живлення $E_ж$ і тому виявляються зміщеними в прямому напрямку (перемикач *S*1 у положенні 2). БЕТ переходить до активного інверсного режиму, а транзистори *VT*2 та *VT*4 – до режиму насичення. До БЕ втікає малий струм $I^1_{вх}$ (у цьомустані елемента струми зазначено пунктиром), струм $I_{б1}$ втікає до бази транзистора *VT*2, а емітерний струм останнього частково замикається до бази транзистора *VT*4.

До пари *p*-*n*-переходів верхнього плеча вихідного каскаду $V_{бе3}$ транзистора *VT*3 та діода *VD* прикладено напругу $u_a=u_{к2}-u_{к4}=U_{пр}<2U_{бо}$, якої бракує для їх відкривання, тому транзистор *VT*3 та діод *VD* зачиняються і, отже, цей діод виконує функцію діода зміщення. Еквівалентний перемикач *S*2 виявляється в положенні 2. Вихідний опір $R^0_{вих}=R_{вих.н}$ малий і становить кілька одиниць омів, а напруга $u_y=U^0=U_{к.н}$ відповідає рівневі лог. 0. Через вихідний каскад наскрізний струм відсутній, а до нижнього плеча втікає значний вихідний струм $I^0_{вих}=K_{роз}I^0_{вх}$ від елементів-навантажень.

Отже, при $x_1x_2=1$ БЕ ввімкнено, БЕТ *VT*1 перебуває в активному інверсному режимі, транзистори *VT*2, *VT*4 – у насиченому режимі, транзистор *VT*3 та діод *VD* зачинені, вхідний і вихідний струми втікають до БЕ, напруги: на вході $U^1 \approx 3{,}5$ *B* та на виході $U^0 \le 0{,}4$ *B*.

4.1.3. Статичні характеристики

Для правильного вживання ІС і використання їх можливостей, особливо, при сполученні з іншими елементами (дискретними або ІС інших серій) необхідно уявляти, в яких межах зміни струмів та напруг ІС може нормально функціонувати. З цією метою розглядаються статичні характеристики БЕ: вхідна $i_{вх}(u_x)$, передатна $u_y(u_x)$ та вихідні $i_{вих}(u_y)$, що знімаються за повільної зміни напруг і струмів.

На *вхідній* характеристиці (рис. 4.3,*а*) вимкненому станові БЕ відповідає зображувальна точка 1; на ділянці 1-0 вхідний струм $I^0_{вх}$, що витікає з елемента, збільшується під час зменшення напруги u_x, у тому числі до від'ємних значень і

при вхідній напрузі, більшій за величиною, ніж допустима $U_{доп}$, різко зростає, внаслідок чого в БЕТ може настати тепловий пробій. Для обмеження негативної напруги на входах усіх сучасних серій ТТЛ вбудовують діоди (фрагмент схеми подано на рис. 4.4,*а*), які називають також демпферними, бо вони сприяють угамуванню паразитних коливань, що виникають у лініях зв'язку через відбиття сигналів від їх кінців між керувальними та навантажувальними елементами.

Зі збільшенням вхідної напруги на ділянці 1-3 струм $I_{вх}{}^{0}$ зменшується і під час переходу її через пороговий рівень (ділянка 3-4) на вході встановлюється рівень лог. 1, БЕ вмикається і вхідний струм $I^{1}_{вх}\leq 40$ *мкА* (ділянка 4-7) тепер втікає до елемента. За перевищення вхідною напругою рівня $U^{+}_{доп}\geq 5{,}5$ *В* може виникнути електричний пробій емітерного переходу БЕТ (точка 7). Усунути пробій, якщо може виникнути його небезпека, можна за допомогою обмежувальних діодів, як подано на фрагменті схеми рис. 4.4,*б*.

На ділянці 0-3 вхідний опір БЕ визначається резистором у колі бази БЕТ і становить $R^{0}_{вх}\approx R_{б}\approx 4$ *кОм*, бо БЕТ насичений, а транзистор *VT*2 зачинений; у навколопороговій зоні 3-4 через відкривання транзистора *VT*2 вхідний опір зменшується до $R^{0}_{вх}\approx 300...400$ *Ом*; і, нарешті, на ділянці 4-7 емітерні переходи БЕТ зачиняються, тому опір зростає до $R^{1}_{вх}\approx 2$ *МОм*.

На *передатній* характеристиці (рис. 4.3,*б*) точка 1 відповідає статичному вимкненому станові. Зі збільшенням вхідної напруги відповідно з (4.1) зростає також напруга на базі транзистора *VT*2 і, коли вона сягає $u_{б2}=U_{бо}$ (точка 2), транзистор *VT*2 прочиняється: напруга на його емітері $u_{е2}=u_{б4}=I_{е2}R_{е}$ зростає, а на колекторі $u_{к2}=E_{ж}-I_{к2}R_{к}$ спадає, внаслідок чого приріст вхідної напруги $\Delta u_{х}$ потрапляє на вихід елемента (ділянка 2-3): $u_{у}=u_{к2}-U_{пр}$, що призводить до погіршення його завадостійкості.

Для усунення цього недоліку резистор $R_{е}$ замінюють коригувальним каскадом на транзисторі *VT*5 (рис. 4.4,*в*). Тепер зі збільшенням вхідної напруги до величини біля $2U_{бо}$ (точка 6) транзистор *VT*2 залишається зачиненим, бо між його базою та корпусом увімкнено два *p-n*-переходи транзисторів *VT*2 та *VT*4 або *VT*2 та *VT*5, тобто похила ділянка 2-3 замінюється лінією 2-6. Завдяки поліпшенню прямокутності передатної характеристики статична завадостійкість збільшується майже вдвічі. Коли, в міру зростання, напруги сягають величини $u_{б2}=2U_{бо}$ та $u_{е2}=u_{б4}=U_{бо}$ (точки 6 або 3), починається вмикання БЕ: відчиняється транзистор *VT*4, вхідний опір якого зменшується, тому до його бази відгалужується значна частина струму $I_{е2}$, що спричиняє швидкий перехід пари *VT*2, *VT*4 до насичення і збільшення крутості характеристики на ділянці 6-3-4. Після вмикання (ділянка 4-5) транзистор *VT*3 виявляється в режимі відтину, а транзистори *VT*2, *VT*4 та *VT*5 – у режимі насичення.

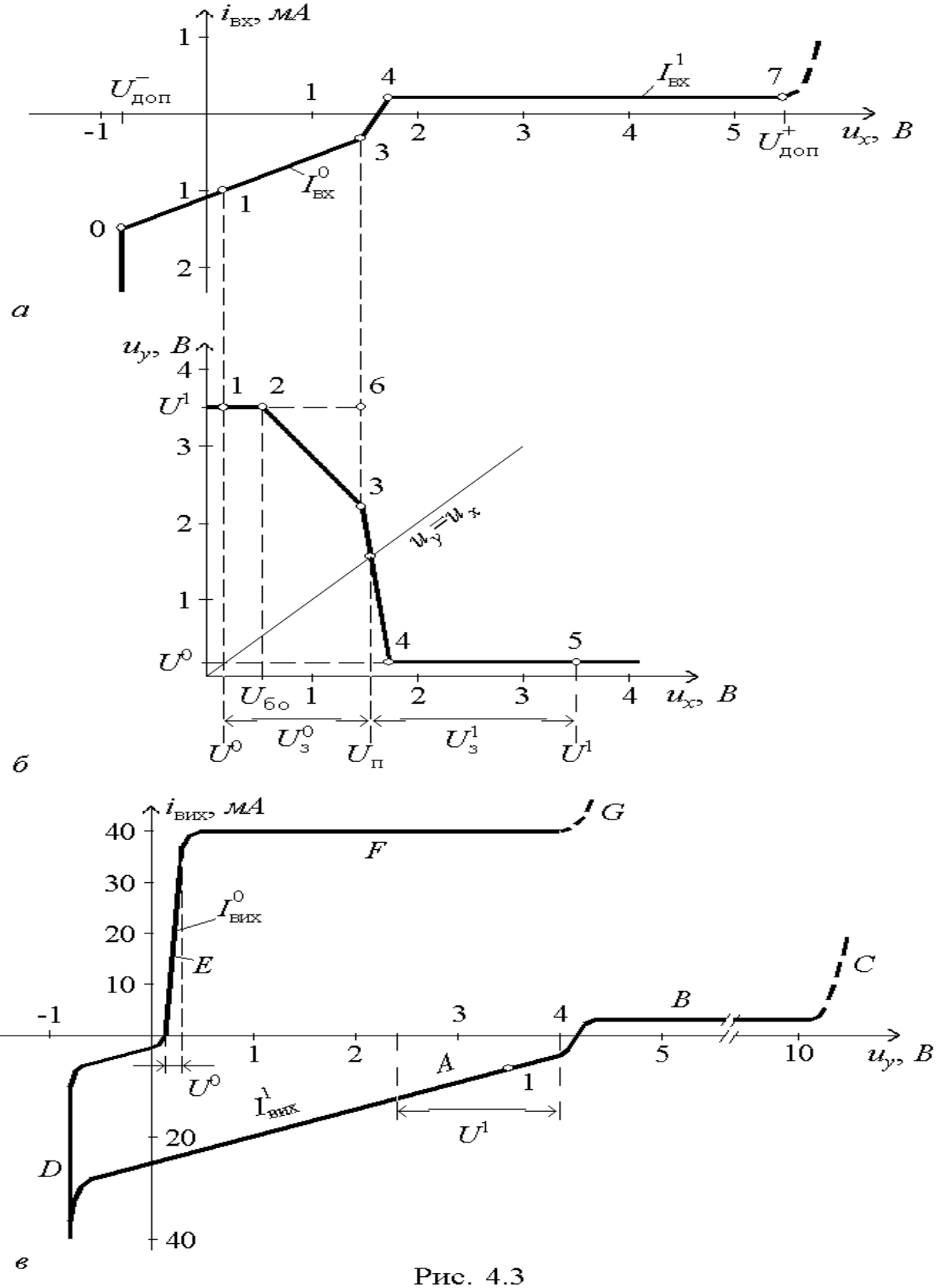

а
$i_{вх}$, мА
$U^-_{доп}$
$I^1_{вх}$
$U^+_{доп}$
u_x, В
$I^0_{вх}$
б
u_y, В
U^1
U^0
$u_y=u_x$
$U_{бо}$
$U^0_з$
$U_п$
$U^1_з$
в
$i_{вих}$, мА
$I^0_{вих}$
$I^1_{вих}$
u_y, В

Рис. 4.3

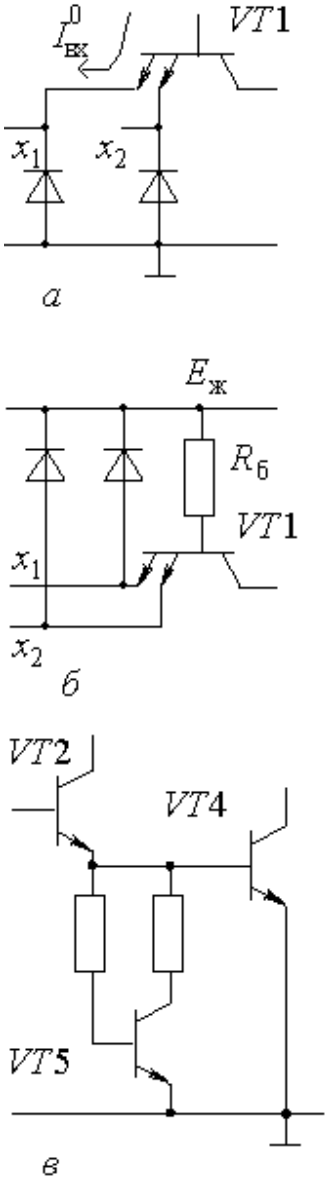


Рис. 4.4

Ширина навколопорогової ділянки 6-3-4 незначна, тому *порогову напругу* $U_п$ вмикання та вимикання вважають однаковою і визначають за перетином характеристики з лінією одиничного підсилення $u_y=u_x$. Відносно порогової напруги відлічують статичну завадостійкість як рівень завад $U^0_з=U_п-U^0$, $U^1_з=U^1-U_п$. Для БЕ ТТЛ типовою є величина $U_п \approx 1{,}5$ *В*, а допустимий рівень завад з урахуванням розкиду параметрів, нестабільності їх у температурному діапазоні, а також нестабільності напруги джерела живлення за паспортної навантажівної здатності становить $U_з \geq 0{,}4$ *В*. Вважаючи логічний перепад напруги на виході в найгіршому випадку не нижчим за $U_л=U^1_{мін}-U^0_{макс}=2{,}4-0{,}4=2$ *В*, маємо відносну завадостійкість не меншу за $U_з/U_л=20\%$.

Вимкнений стан БЕ описується *вихідною характеристикою А* (рис. 4.3,*в*); зображувальній точці 1 відповідає напруга $U^1 \approx 3{,}5$ *В* і струм, що витікає з виходу, $I^1_{вих}=K_{роз}I^1_{вх} \leq 0{,}4$ *мА* при $K_{роз} \leq 10$. На робочій ділянці завширшки $U^1=2{,}4...4$ *В* емітерний повторювач *VT*3 перебуває в активному стані. Якщо вихід схеми підімкнути до високої напруги $U^1 \geq 4$ *В*, транзистор *VT*3 та діод *VD* зачиняються і до вихідного кола починає замикатися малий струм втрати (ділянка В), а за великої напруги $U^1 \approx 10$ *В* може настати електричний пробій колекторного переходу транзистора *VT*4 (ділянка *С*). Зі збільшенням навантаження зростає величина струму $I^1_{вих}$ та спаду напруги на резисторі R_0, внаслідок чого зменшується вихідна напруга. При $U^1 \leq 2{,}4$ *В* відчиняється колекторний перехід транзистора *VT*3 і він потрапляє до режиму насичення, вихідний опір стає біля $R^1_{вих} \approx R_0$. При закороченні виходу струм $I^1_{вих}$ збільшується до 30...40 *мА*, а під час підімкнення до виходу негативної напруги цей струм різко зростає (ділянка *D*) і вихідна напруга обмежується на рівні -0,8...-1 *В* відчиненим паразитним діодом $V_{пк}$ між підшарком ("землею") та колектором транзистора *VT*4. Отже, БЕ нормально функціонує на ділянці *А* завширшки U^1.

Увімкненому станові БЕ відповідає *вихідна характеристика Е*: на робочій ділянці завширшки $U^0=0{,}2...0{,}4$ *В* зі збільшенням вихідного струму $I^0_{вих}=K_{роз}I^0_{вх}$, що втікає до насиченого транзистора *VT*4, зростає спад напруги на вихідному

опорі $R^0_{вих}=R_{вих.н}\approx 10$ *Ом* до припустимого рівня $U^0=0{,}4$ *В*. За подальшого збільшення вихідної напруги (ділянка *F*) транзистор *VT*4 переходить до активного режиму і струм стабілізується доки не настане тепловий пробій у цьому транзисторі (ділянка *G*) при $U_y>4$ *В*.

З надходженням до виходу негативної напруги транзистор *VT*4 переходить до активного інверсного режиму, струм змінює напрямок і витікає з транзистора, а з відкриванням зазначеного діода $V_{пк}$ (ділянка *D*) напруга на виході обмежується величиною -0,8...-1 *В*. Отже, у ввімкненому стані БЕ нормально функціонує на ділянці *E* завширшки U^0. Під час зміни полярності сигналу, що надходить до виходу БЕ, зокрема, через відбиття від кінців лінії зв'язку, струм через БЕ може протікати в обох напрямках, що сприяє виникненню паразитних коливань у лініях, які зв'язують БЕ з його елементами-навантаженнями.

4.1.4. Перехідні процеси

Характер перехідних процесів у БЕ ТТЛ, як і в звичайних ключах, зумовлений інерційністю транзисторів, розсмоктуванням награмадженого в них заряду та перезаряджанням паразитних ємностей. Нехай у початковому стані БЕ вимкнений напругою лог. 0 на вході x_1, а рівень x_2=1=const (див. рис. 4.2,*а*).

Вмикання відбувається зі зростанням вхідної напруги до порогового рівня $u_x=U_п$, з моменту t_1 (рис. 4.5). При цьому струм $I_{б1}$ перемикається спочатку на аряджання паразитних ємностей на входах транзисторів *VT*2, *VT*4, а відтак – у їх бази, спричиняючи насичення цих транзисторів. Вхідна ємність транзистора *VT*3 розряджається через транзистор *VT*2, внаслідок чого напруга u_a зменшується і елементи *VT*3, *VD* зачиняються.

До перемикання вихідного каскаду напруга u_y майже не змінюється, бо навантажувальна ємність $C_н$ лишається зарядженою, а після насичення транзистора *VT*4 відбувається її швидке розряджання через його малий опір і формування фронту спадання напруги $t^{10}_ф$. Під час перемикання струм живлення $i_ж$ збільшується від $I^1_ж$ до $I^0_ж$ і витрачається, в основному, на підтримання транзисторів *VT*2, *VT*4 в режимі насичення.

Завдяки використанню високочастотних транзисторів, заряджанню ємностей і відкриванню транзисторів *VT*2, *VT*4 інтенсивним струмом $I^1_б$, відсутності етапу розсмоктування під час зачинення транзистора *VT*3 (бо в увімкненому стані БЕ він перебуває в активному режимі), а також малій сталій часу розряджання навантажувальної ємності, процес вмикання відбувається швидко. Час затримки поширення під час вмикання для типових елементів ТТЛ не перевищує $t^{10}_{з.п}\le 15$ *нс*.

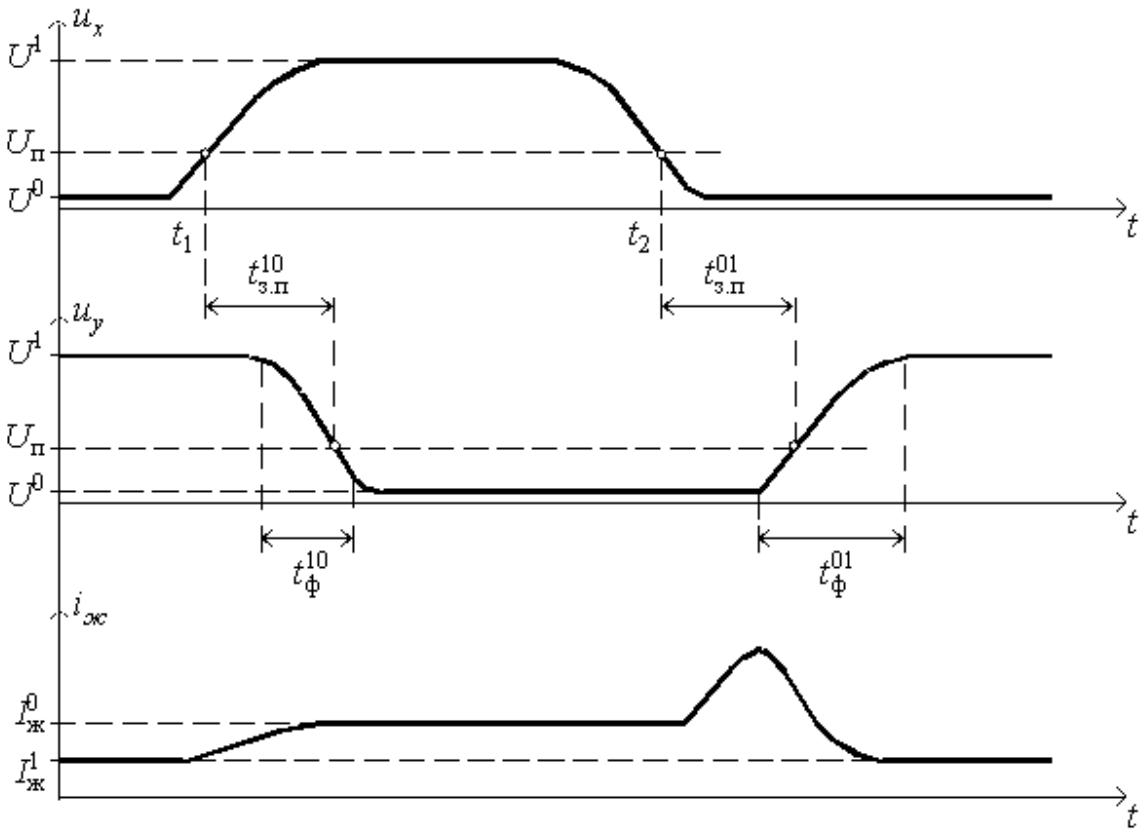


Рис. 4.5

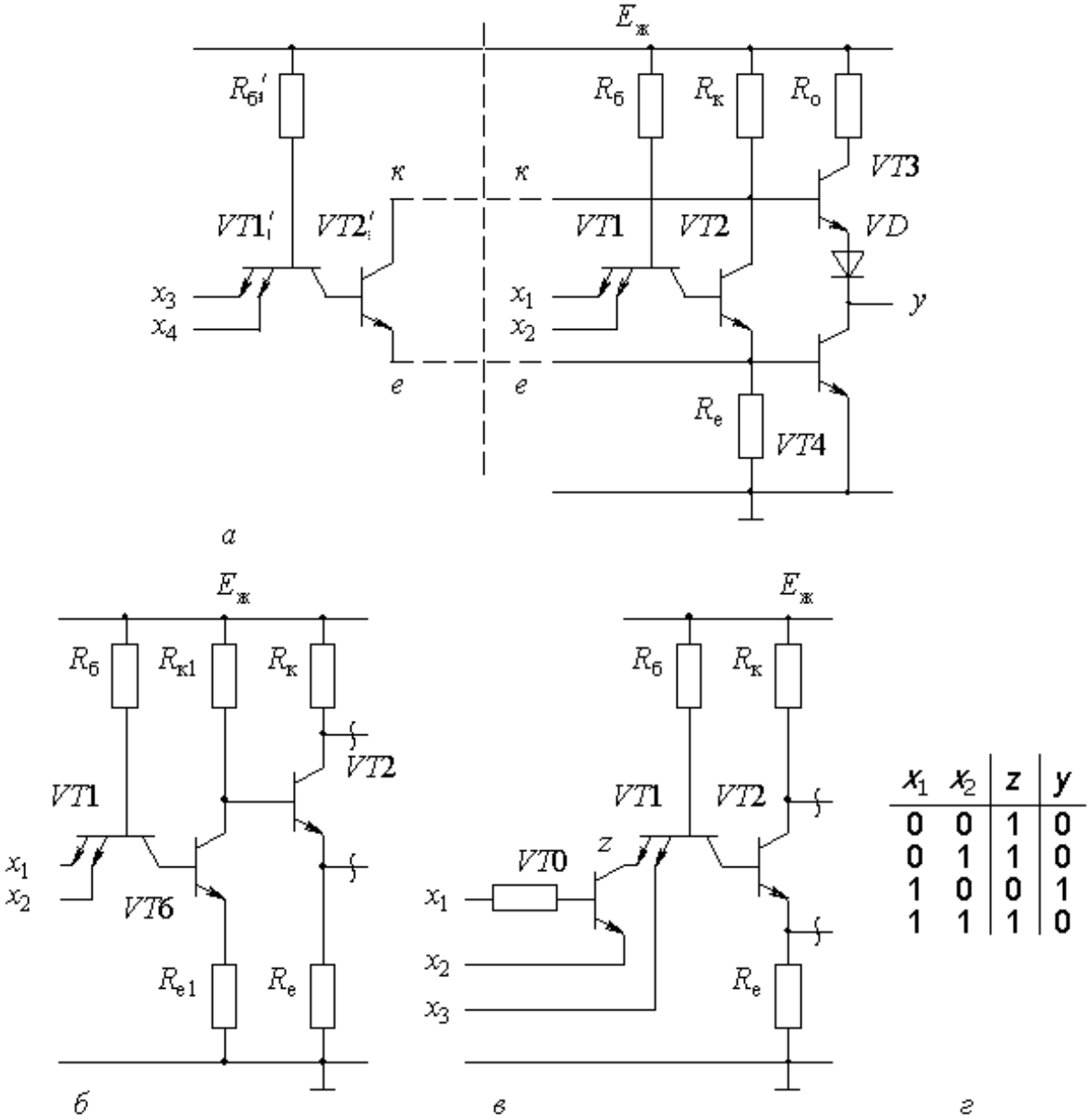
Вимикання здійснюється негативним перепадом сигналу на вході x_1. Починаючи з моменту t_2, коли напруга u_x сягає порогового рівня $U_п$, відчиняється емітерний перехід транзистора *VT*1, БЕТ переходить до активного режиму, а з часом – і до режиму насичення. Завдяки цьому утворюється низькоопірний шлях зворотного струму $I_{б4}$, $I_{б2}$, $I^0_{вх}$ (як показано суцільними стрілками на рис. 4.2,*а*), що сприяє швидкому розсмоктуванню заряду і зачиненню спочатку транзистора *VT*2, а згодом – і VT4. Закривання транзистора *VT*2 спричиняє зростання колекторної напруги $u_{к2}$ і відчинення транзистора *VT*3 та діода *VD* раніше, ніж встигне зачинитися транзистор *VT*4. Це зумовлює сплеск наскрізного струму $i_ж$ через вихідний каскад, що може призвести до виникнення завади в шині живлення.

По закритті транзистора *VT*4 навантажувальнана ємність $C_н$ заряджається через вихідний опір емітерного повторювача $R^1_{вих}$, зумовлюючи фронт зростання $t^{01}_ф$ напруги до рівня U^1. Затримка вимикання, спричинена розсмоктуванням надлишкового заряду та заряджанням ємності $C_н$ через опір $R^1_{вих}>R^0_{вих}$, більша, ніж $t^{10}_{з.п}$ і для типових елементів ТТЛ не перевищує $t^{01}_{з.п}\le 22$*нс*.

4.1.5. Модифікації базового елемента

З метою поліпшення параметрів БЕ, полегшення сполучення їх з іншими пристроями, розширення функціональних можливостей поряд з універсальними БЕ засвоєно випуск також їх різновидів.

1. Різновиди БЕ за виконуваною логічною функцією. Для розширення функціональних можливостей у різних серіях БЕ ТТЛ передбачено логічні розширювачі щодо АБО на транзисторах $VT1'$, $VT2'$ з вільними виходами *к*, *е* (рис. 4.6,*а*). Підімкнення їх до однойменних розширювальних входів *к*, *е* елемента І-НЕ (показано пунктиром) дозволяє реалізувати функцію другого ступеня



x_1	x_2	z	y
0	0	1	0
0	1	1	0
1	0	0	1
1	1	1	0

г

Рис. 4.6

АБО, а загалом відносно входів БЕТ – функцію І-АБО-НЕ. До складу серій ТТЛ входять також елементи І-АБО-НЕ, в яких таке з'єднання виконано всередині ІС.

Якщо замість БЕТ у ТТЛ виконують транзистор з одним емітером, в одному корпусі ІС отримують набір елементів НЕ, а з'єднання таких елементів на кшталт рис. 4.6,*а*, утворює елемент АБО-НЕ. Для здобуття логічного елемента І (фрагмент на рис. 4.6,*б*) між БЕТ *VT*1 і фазорозділювальним каскадом *VT*2 вбудовують додатковий інвертор *VT*6, який може бути виконаний також на складеному транзисторі. Паралельне з'єднання таких вхідних кіл із транзистором *VT*2 на спільні навантаження $R_к$, $R_е$, аналогічне рис. 4.6,*а*, утворює елемент І-АБО.

За допомогою модифікації, яка набула назву транзистор-транзисторно-транзисторної логіки (Т-ТТЛ), складніші функції можна здійснити на меншій кількості елементів. Так, елемент заборони (елемент І з інверсним входом) реалізується схемою ТТЛ з додатковим транзистором *VT*0 (рис. 4.6,в). На вході *z* БЕТ *VT*1 з'являється рівень лог. 0 (рис. 4.6,*г*) лише за відкривання транзистора *VT*0 сигналами x_1=1, x_2=0, а за їх інших комбінацій цей транзистор залишається зачиненим, що еквівалентно рівневі z=1. Отже, за сталогорівня x_3=1 на виході елемента реалізується функція $y=x_1x_2$. Наявність іверсного входу в елементі І спрощує побудову цифрових пристроїв на електрично сумісних схемах ТТЛ і Т-ТТЛ.

2. Елементи з вільним колектором. Двотактний вихідний каскад БЕ ТТЛ забезпечує підвищення швидкодії та навантажівної здатності, проте стає на перешкоді сполученню між елементами через те, що *виходи кількох БЕ не можна об'єднувати* на спільне навантаження або лінію зв'язку, бо при цьому може виникнути наскрізний струм. Наприклад, за ввімкненого стану БЕ з вихідним каскадом *VT*3, *VT*4 та вимкненого стану БЕ з виходом *VT*3′, *VT*4′ (рис. 4.7,*а*) крізний струм $i_ж$ протікає через транзистори *VT*3′ та *VT*4. Цей струм може перевищити припустиму в статичному стані величину і призвести до виходу з ладу елементів. Крім того, в лінії *y* встановлюється рівень напруги, проміжний між лог. 0 та лог. 1, тобто сполучені таким чином елементи не функціонують нормально.

Об'єднувати виходи та підмикати їх до нестандартного навантаження можна в елементах з вільним (відкритим) колектором (рис. 4.7,*б*), які використовуються також для керування індикаторними й іншими виконавчими приладами. На рис.4.7,*в*,*г* наведено приклади схем індикації зі світлодіодом або лампою розжарювання, в яких світіння відбувається при *y*=0 та *y*=1 відповідно. За індуктивного навантаження, наприклад, на обвитку реле *K* (рис. 4.7,*д*) колектор вихідного транзистора захищають від електричного пробою напругою самоіндукції за допомогою демпферного діода *VD*. Для керування потужними виконавчими

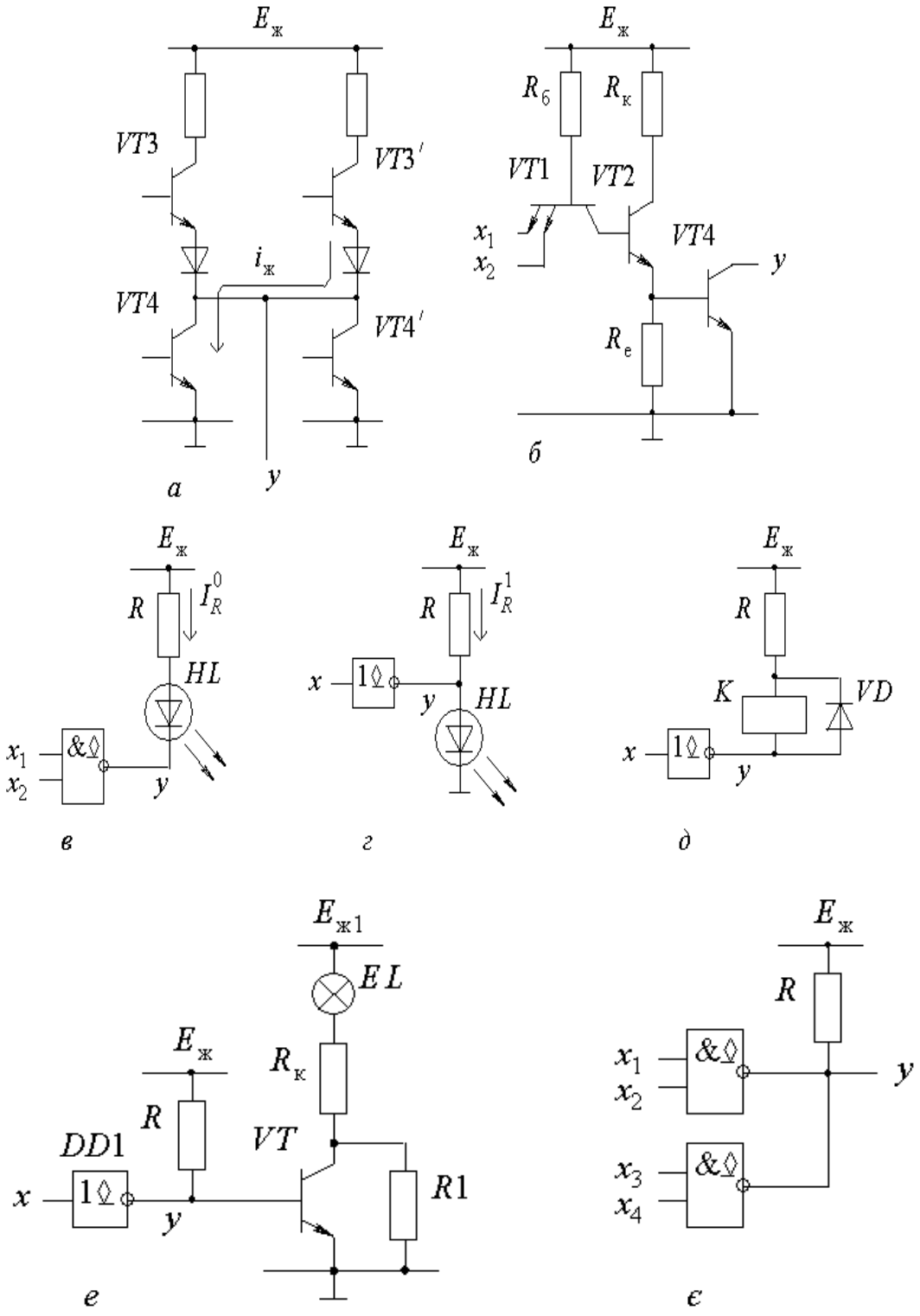


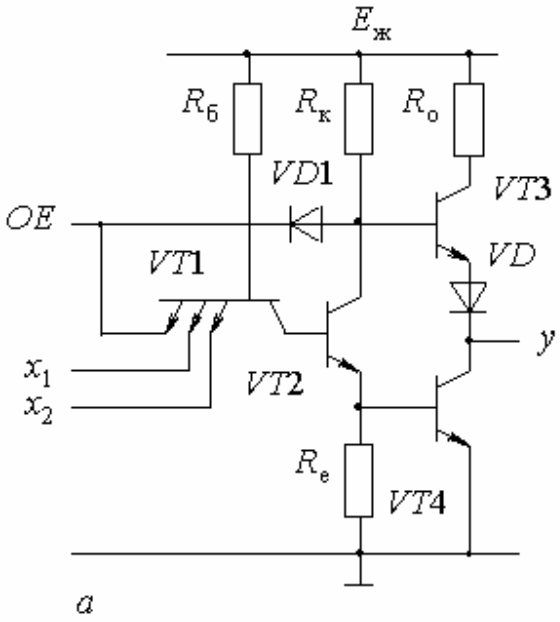
Рис. 4.7

елементами на виході застосовують транзисторний ключ (рис. 4.7,*е*), в якому резистор *R* є навантажувальним для елемента *DD*1 з вільним колектором і одно-

часно відіграє роль базового резистора $R_б$ ключа, а опір додаткового резистора R_1 добирають з розрахунку, аби у вимкненому стані ключа струм через виконавчий елемент *EL* був недостатній для його вмикання.

Виходи кількох елементів з вільним колектором можна об'єднати на спільному навантаженні *R* (рис. 4.7,*є*) для реалізації так званої *монтажної логіки*. Рівень *y*=1 встановлюється лише за зачинених транзисторів VT4 обох елементів, що відносно виходу еквівалентно функції монтажне І. Отже, відносно входів схема виконує функцію $y = \overline{x_1 x_2}\ \overline{x_3 x_4} = \overline{x_1 x_2 + x_3 x_4}$, тобто двоступенева функція І-АБО-НЕ реалізується без додаткових логічних елементів. Недолік монтажної логіки – погіршення швидкодії внаслідок зростання паразитної навантажувальної ємності на спільному виході та повільного її заряджання через зовнішній опір *R*.

3. Елементи з трьома станами виходу. Такий елемент (рис. 4.8,*а*) містить додатковий діод *VD*1 та керувальний вхід *OE* (Output Enable – дозвіл виходу). Якщо *OE*=1, то з'єднаний з цим входом емітерний перехід БЕТ *VT*1 та діод *VD*1 зачиняються, що еквівалентно відсутності їх у схемі, тому в цьому випадку елемент функціонує як звичайний, з двома станами на виході: *y*=0 або 1 залежно від сигналів на інформаційних входах x_1, x_2 (рис. 4.8,*б*). Якщо *OE*=0, зазначені перехід БЕТ та діод *VD*1 відчиняються, через БЕТ з елемента витікає вхідний струм $I^0_{вх}$, транзистори *VT*2, *VT*4 зачиняються, але на колекторі транзистора *VT*2 тепер не може встановитися напруга високого рівня, бо її величина $u_{к2}=U^0+U_{пр}<2U_{бо}$ фіксується відчиненим діодом *VD*1, внаслідок чого транзистор *VT*3 та діод *VD* також зачиняються. З огляду на те, що обидва транзистори вихі-



OE	x_1	x_2	y
0	X	X	Z
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

б

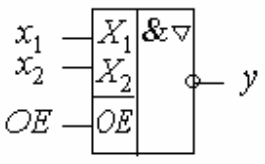


Рис. 4.8

дного каскаду зачинено, вихід *y* та з'єднана з ним лінія незалежно від логічних рівнів на входах x_1, x_2 опиняються у вільному стані, аналогічному розриву кола.

Такий, третій стан БЕ називають також станом з великим опором або нескінченно великим імпедансом на виході. У таблиці відповідності його звичайно позначають *Z*. Умовне графічне позначення елемента зі входом дозволу *OE* подано на рис. 4.8,*в*. Елементи з трьома станами можна об'єднувати виходами до спільної лінії в режимі часового мультиплексування: керувальний сигнал *OE*=1, що дозволяє передавання даних лінією, у певний момент часу подається лише на один елемент – передавач інформації. При цьому на приймання інформації можуть працювати одночасно кілька елементів-приймачів.

Слід зауважити, що передавачі можна по черзі приєднувати до спільної лінії також за допомогою елементів з вільним колектором (див. рис. 4.7, *є*). При цьому за вхід дозволу *OE* може правити один із звичайних входів елемента. Під час дії на такому вході рівня лог. 0 (наприклад, $OE=x_2=0$ на рис. 4.7,*б*) транзистор VT4 зачиняється і від'єднує вихід *y* від лінії, а рівнем лог. 1 ($OE=x_2=1$) сигнал з інформаційних входів надходить у лінію (у прикладі $y=x_1$).

4. Елементи з підвищеною навантажівною здатністю. Коли до виходу елемента – джерела інформації підмикають лінію (магістраль) зі зв'язаними з нею входами багатьох БЕ-приймачів, зростають навантажувальна ємність $C_н$ і вихідний струм БЕ-передавача, що може призвести до погіршення швидкодії та зміни вихідних рівнів у неприпустимих межах. З метою підвищення навантажівної здатності у вихідному каскаді запроваджують *складений транзистор VT*3, *VT*6 (на рис. 4.9,*а*, всі транзистори та діоди можуть бути звичайними).

У базовій схемі (див. рис. 4.8,*а*), роль діода *VD* відіграє емітерний перехід транзистора *VT*6, підсильність якого не використовується. Шляхом об'єднання колекторів транзисторів *VT*3, *VT*6 дістаємо схему рис. 4.9,*а*, в якій роль діода зміщення *VD* відіграє той самий емітерний перехід транзистора *VT*6. Аби не зменшувати коефіцієнт підсилення транзистора *VT*3 та не збільшувати надмірно потужність транзистора *VT*6, бо його базовий струм має дорівнювати емітерному струмові транзистора *VT*3, частину цього струму відгалужують через резистор *R*, що призводить до збільшення споживаної потужності елемента у вимкненому стані. Цей недолік усувається у варіантні схеми з підімкненим нижнім виводом резистора *R* до колектора транзистора *VT*4. Знач ний струм через резистор тепер протікає тільки під час перемикання елемента, а у вимкненому стані він через зачинений транзистор *VT*4 не замикається, що зменшує споживану потужність.

Внаслідок збільшення підсумкового коефіцієнта підсилення за струмом емітерного повторювача на складеному транзисторі *VT*3, *VT*6 зменшується вихідний опір $R^1_{вих}$ елемента у вимкненому стані, тим самим зменшується стала

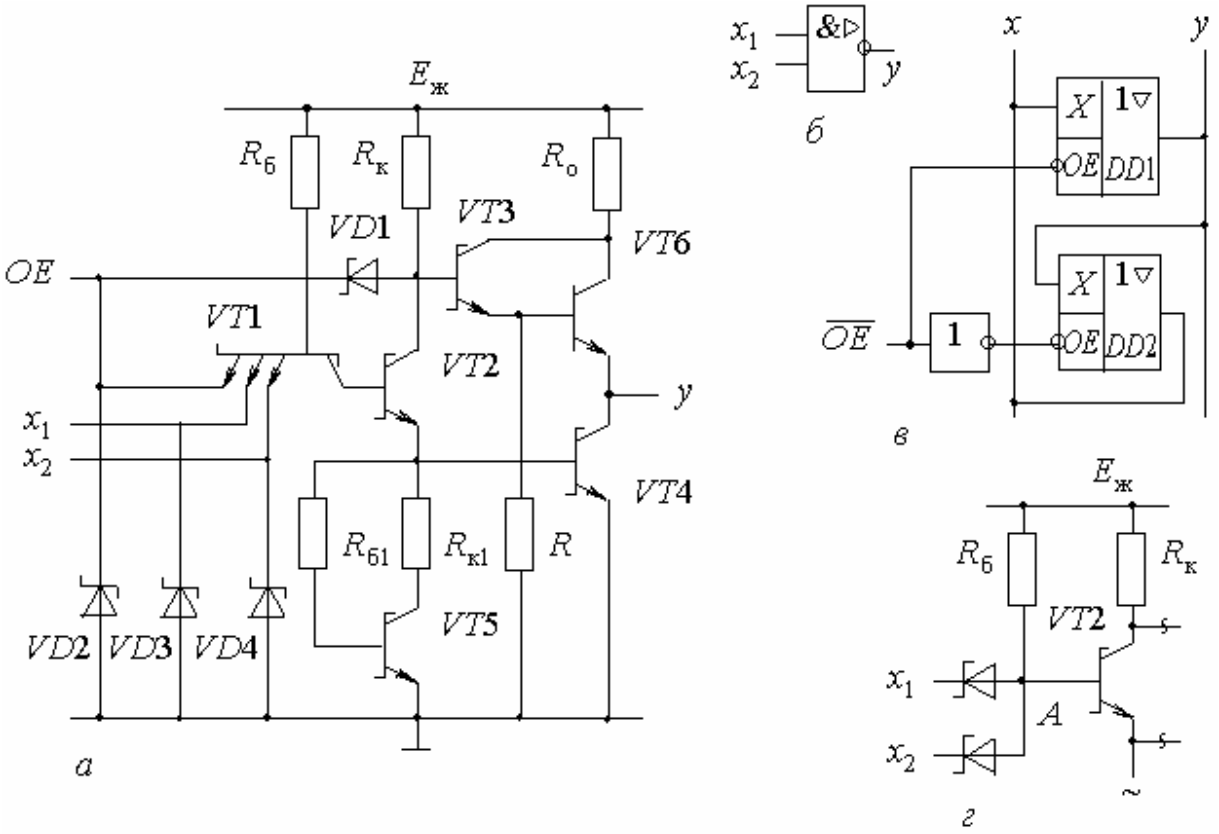


Рис. 4.9

часу заряджання навантажувальної ємності $C_н$ і підвищується навантажівна здатність БЕ. Тому модифікації з повторювачем на складеному транзисторі називають елементами з підвищеним коефіцієнтом розгалуження щодо виходу, з підвищеною навантажівною здатністю, з потужним виходом. На умовних позначеннях елемент з двома станами виходу відрізняють додаванням трикутної позначки підсилення (рис. 4.9,*б*).

5. Магістральні елементи. БЕ з потужним виходом та з трьома станами виходу (див. рис. 4.9,*а*) називають також магістральними елементами або драйверами. При цьому вхід дозволу *OE* може бути інверсним, якщо керувальний сигнал надходить через вбудований в елементі інвертор. Об'єднанням двох магістральних елементів за схемою рис. 4.9,*в* можна дістати двоспрямований елемент (приймач-передавач): при $\overline{OE}$ =0 сигнал з лінії *x* надходить до лінії *y* через елемент *DD*1, а при $\overline{OE}$ =1 – у зворотному напрямку через елемент *DD*2.

6. Елементи ТТЛШ. Існують малопотужні серії ТТЛ, в яких для зменшення споживаного від джерела живлення струму застосовують резистори з більшим опором і, навпаки, в швидкодійних серіях з метою збільшення перемикальних струмів та зменшення сталих часу паразитних ємностей використовують малоопірні резистори. При цьому енергія перемикання $A=P_ж t_{з.п}$ (добуток споживаної

потужності на середній час затримки поширення) залишається приблизно постійною, тому цей показник характеризує рівень технології.

Якісний стрибок зроблено шляхом переходу до технології ТТЛ на транзисторах і діодах Шотткі (ТТЛШ). Елементи сучасних серій ТТЛШ відрізняються більшою швидкодією при меншій споживаній потужності і мають приблизно на порядок меншу енергію перемикання. Впроваджено елементи ТТЛШ (див. рис.4.9,*а*) зі всіма схемними модифікаціями: звичайний БЕ, БЕ з трьома станами виходу – з діодом *VD*1 і керувальним входом *OE*, з демпферними діодами *VD*2, *VD*3, *VD*4, з коригувальним каскадом *VT*5, з потужним виходом – зі складеним транзистором *VT*3, *VT*6 (транзистор *VT*6 виконують звичайним, бо він не входить до режиму насичення), а також з вільним колектором –якщо вилучити верхнє в схемі плече вихідного каскаду та ін.

7. ***Малопотужні швидкодійні елементи ТТЛШ.*** У малопотужних серіях ТТЛШ у схемі рис. 4.9,*а* замість БЕТ використовують діодну збірку (рис. 4.9,*г*), аналогічну БЕ ДТЛ (див. рис. 4.1,*а*), але без діодів зміщення, роль яких відіграє емітерний перехід транзистора *VT*2. Незважаючи на те, що в колі зміщення на один перехід менше (відсутній перехід $V_{бк}$ транзистора *VT*1), завадостійкість майже не погіршується, бо напруга в точці *A* при вхідному рівні лог. 0 на діоді Шотткі нижча. Проте при цьому покращується розв'язка між елементами: під час дії вхідного рівня лог. 1 діоди відмикають входи БЕ від джерела сигналу. З огляду на те, що технологія і стандартні рівні елементів зберігаються, їх прийнято відносити до типу ТТЛШ.

У модифікованих малопотужних швидкодійних серіях ТТЛШ діодну збірку підімкнено до фазорозділювального каскаду *VT*2 через емітерний повторювач. Крім того, за допомогою додаткових діодів Шотткі, ввімкнених у вхідному і вихідному каскадах, досягається форсування процесів перемикання БЕ.

4.1.6. Розрахунок сполучення кіл з елементами ТТЛ

1. Розрахунок струмового навантаження. За навантаження БЕ ТТЛ(Ш) на магістраль або на розгалужене коло з'єднань з різними елементами, наприклад, на коло скидання тригерів, лічильників тощо необхідно перевірити, чи задовольняє вимоги навантажівна здатність БЕ. Для цього розраховують реальне струмове навантаження елемента (*DD*1 на рис. 4.10,*а*), виходячи з того, що при об'єднанні входів БЕ ТТЛ вхідний струм не змінюється при x=0, а при x=1 вхідні струми підсумовуються:

$$I^0_{вхΣ}=I^0_{вх};\ I^1_{вхΣ}=K_{об}I^1_{вх}, \qquad (4.4)$$

де $K_{об}$ – коефіцієнт об'єднання входів. Тому вихідні струми елемента *DD*1, навантаженого на *N* аналогічних елементів, розраховують за співвідношеннями:

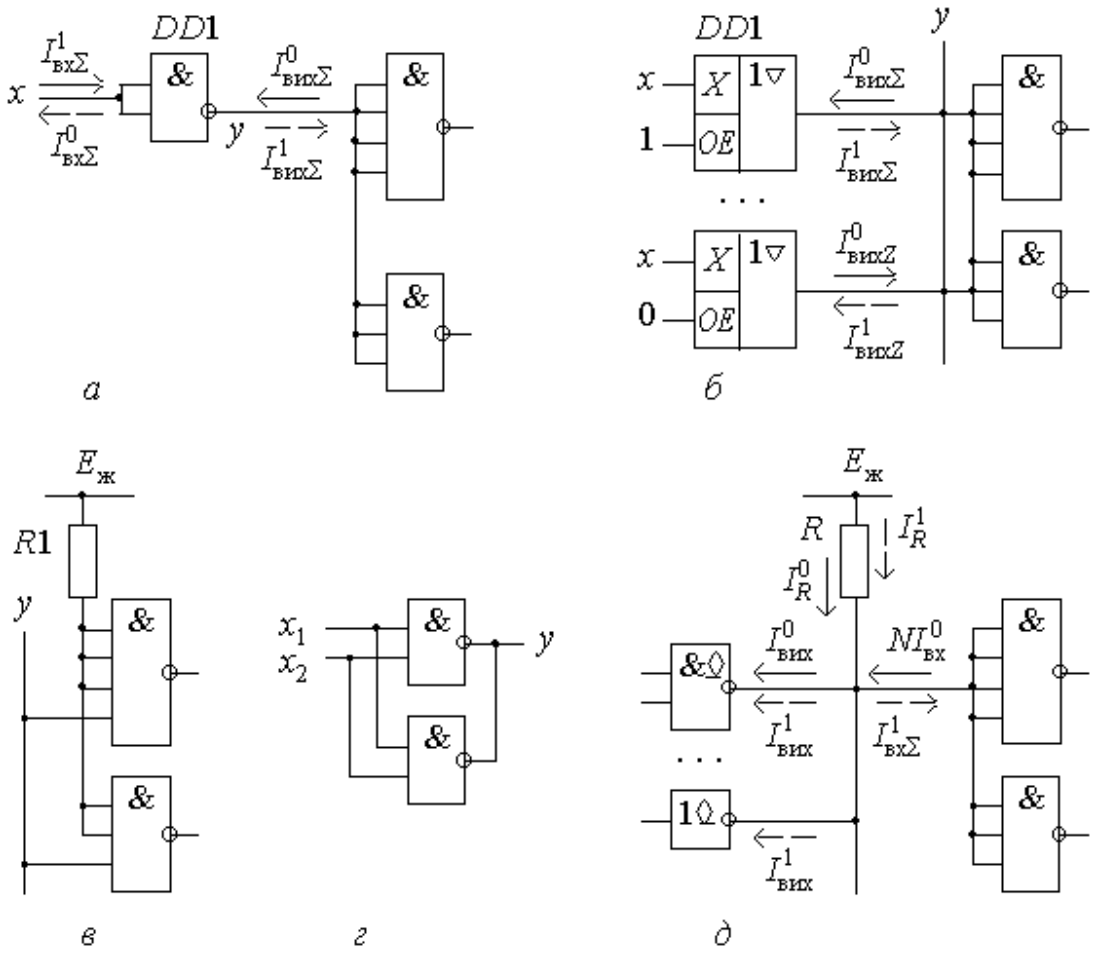


Рис. 4.10

$$I^0_{вих.\Sigma} = NI^0_{вх};\ I^1_{вих.\Sigma} = I^1_{вх}\sum_{i=1}^{N} K_{об.i}. \qquad (4.5)$$

Приклад. Для схеми рис. 4.10,*а* при $I^0_{вх}$=1 *мА*, $I^1_{вх}$=40 *мкА*, *N*=2 за (4.4) для елемента *DD*1 маємо $I^0_{вхΣ}=I^0_{вх}$=1 *мА*, $I^1_{вхΣ}=2I^1_{вх}$=0,08 *мА* та згідно з (4.5) $I^0_{вихΣ}=2I^0_{вх}$=2 *мА*, $I^1_{вихS}=I^1_{вх}(4+3)$=0,28 *мА*.

При об'єднанні виходів *M* елементів *з трьома станами* на спільну магістраль *y* (рис. 4.10,*б*) додатково враховують їх струми витечення. Коли сигналом *OE*=1 активізовано лише елемент DD1, а інші M-1 елементів-передавачів під дією рівня *OE*=0 перебувають у третьому стані, за *y*=0 струми втрати $I^0_{вих.Z}$ витікають з елементів у третьому стані, а за *y*=1 струми $I^1_{вих.Z}$ втікають до них. Отже, відносно виходу елемента DD1 з урахуванням (4.5) маємо струмове навантаження:

$$I^0_{вих.\Sigma} = NI^0_{вх} + (M-1)I^0_{вих.Z}; \qquad (4.6)$$

$$I^1_{вих.\Sigma} = I^1_{вх}\sum_{i=1}^{N} K_{об.i} + (M-1)I^1_{вих.Z}. \qquad (4.7)$$

Приклад. Для схеми рис. 4.10,*б* при навантаженні як у попередньому прикладі та M=11, $I^0_{вихZ}$=$I^1_{вихZ}$=20 *мкА* розраховуємо навантаження елемента *DD*1, на вхід дозволу якого подано рівень *OE*=1. За (4.6, 4.7): $I^0_{вих\Sigma}$=2$I^0_{вх}$+10$I^0_{вихZ}$= =2,2 *мА*; $I^1_{вих\Sigma}$=$I^1_{вх}$(4+3)+10$I^1_{вихZ}$=0,48 *мА*.

У всіх випадках струми $I^0_{вих\Sigma}$, $I^1_{вих\Sigma}$ мають не перевищувати паспортних гранично допустимих величин, причому при об'єднанні виходів різних ІС розрахунки за (4.6, 4.7) виконують для найменш потужної з них.

Струмове навантаження можна зменшити підімкненням зайвих входів БЕ до джерела живлення через резистор опором R_1=1 *кОм*, причому до одного резистора можна підімкнути до 20 входів БЕ ТТЛ. З'єднання навантажувальних елементів на рис. 4.10,*б* за таким способом для прикладу наведено на рис. 4.10,*в*. Константу лог. 1 зручно утворювати і за допомогою додаткового елемента, наприклад, І-НЕ (зокрема, незадіяного в корпусі ІС) з'єднанням його входів із "землею". Якщо це потужний елемент, до його виходу можна приєднати до 30 входів БЕ ТТЛ(Ш). Якщо ж у підсумку фактичне струмове навантаження виявляється більшим за паспортне, застосовують елементи з підвищеною навантажівною здатністю. Припускається також об'єднувати виходи кількох БЕ за умови об'єднання їх входів (рис. 4.10,*г*); при об'єднанні двох елементів навантажівна здатність збільшується в 1,9 рази: $K_{роз\Sigma}$=1,9$K_{роз}$.

2. Розрахунок зовнішнього опору елемента з вільним колектором. Опір резистора R у колі елемента з вільним колектором (див. рис. 4.7,*в*...*є*) розраховують, виходячи зі струму світіння світлодіода, спрацьовування реле, насичення транзистора *VT* тощо таким чином, аби струм $I^0_{вих}$ БЕ не перевищував гранично допустимого значення. При цьому для схеми рис. 4.7,*в* із вмиканням виконавчого елемента рівнем лог. 0 на виході

$$R=(E_ж-U_{пр}-U^0)/I^0_R, \qquad (4.8)$$

де $U_{пр}$ – напруга прямого зміщення світлодіода при y=0; I^0_R – прямий струм світлодіода, що забезпечує потрібну яскравість світіння і вибирається з характеристики яскравості за умов I^0_R<$I^0_{вих.доп}$, I^0_R<$I_{пр.доп}$ ($I^0_{вих.доп}$, $I_{пр.доп}$ – гранично допустимі струми БЕ та світлодіода).

Аналогічно для схеми рис. 4.7,*г* із вмиканням виконавчого елемента рівнем лог. 1 на виході

$$R=(E_ж-U_{пр})/I^1_R, \qquad (4.9)$$

де $I^1_R=I^1_{пр}+I^1_{вих}$. Крім того, коли транзистор VT4 відчиняється (світлодіод гасне), має виконуватися умова

$$R>(E_ж-U^0)/I^0_{вих.доп}. \quad (4.10)$$

Приклад. Розрахуємо кола індикації на БЕ типу К155ЛА7 та світлодіоді АЛ301Б з параметрами: $I^0_{вих}\le 30$ *мА*, $I^1_{вих}\le 0{,}25$ *мА*, $I_{пр}\le 11$ *мА*. Припускаючи $U^0=0{,}3$ *В* та за характеристикою світіння яскравість $B=20$ *нт* при $I_{пр}=6$ *мА*, $U_{пр}=3{,}3$ *В*, для схеми рис. 4.7,*в* при $I^0_R=I_{пр}$ згідно з (4.8) маємо $R=233$ *Ом*; вибираємо $R=220$ *Ом*. Для схеми рис.4.7,*г*: $I^1_R=6{,}25$ *мА*, за (4.9) $R=272$ *Ом*; вибираємо $R=300$ *Ом*, бо при цьому виконується умова (4.10): $R>153$ *Ом*.

Розрахунок навантажувального резистора R за об'єднання виходів елементів з вільним колектором (рис. 4.10,*д*) виконують таким чином. Опір цього резистора має обмежувати вихідний струм $I^0_{вих}=I^0_R+NI^0_{вх}$, звідки

$$I^0_R=I^0_{вих}-NI^0_{вх}; \quad (4.11)$$

при цьому вихідна напруга має не перевищувати максимальний рівень лог. 0:

$$U^0=E_{ж.макс}-I^0_R R \le U^0_{макс}. \quad (4.12)$$

При вимкнених усіх M елементів з вільним колектором з об'єднаними виходами струм через резистор R замикається до їх виходів та входів БЕ-навантажень:

$$I^1_R = MI^1_{вих} + I^1_{вх} \sum_{i=1}^{N} K_{об.i} \quad (4.13)$$

і вихідна напруга має бути не нижчою мінімально припустимого рівня лог. 1:

$$U^1=E_{ж.мін}-I^1_R R \ge U^1_{мін}. \quad (4.14)$$

Згідно з (4.12, 4.13) опір R розраховуємо за виразом

$$(E_{ж.макс}-U^0_{макс})/I^0_R \le R \le (E_{ж.мін}-U^1_{мін})/I^1_R. \quad (4.15)$$

Приклад. Розрахуємо опір R для схеми на рис. 4.10,*д* при $M=2$, параметрах БЕ з вільним колектором: $I^0_{вих}=16$ *мА*, $I^1_{вих}=0{,}25$ *мА*, навантаженням, як у прикладах п.1 та нестабільністю напруги джерела живлення ±5%.

За (4.11), (4.13) маємо $I^0_R=12{,}8$ *мА*, $I^1_R=0{,}78$ *мА*; згідно з (4.15) 0,38 *кОм* £ £ R £ 3,01 *кОм*. З міркувань швидкодії вибираємо опір ближчим до меншої межі: $R=470$ *Ом*.

Таким чином, базовою є схема елемента ТТЛ зі складним інвертором, яка виконує функцію І-НЕ. Середній час затримки поширення під час перемикання універсального елемента ТТЛ становить порядку 10 *нс*; в обох станах забезпечується низький вихідний опір, завдяки чому елемент здатний працювати на досить значну ємність навантаження. Внаслідок виникнення сплеску струму в шині живлення протягом перемикання утворюються завади, тому для їх пригнічення вдаються до конструктивних заходів (раціонально розташовують з'єднувальні шини, застосовують фільтрувальні конденсатори в колі живлення тощо).

У цифровій та мікропроцесорній техніці широко вживаються різні модифікації елемента, зокрема, з трьома станами виходу, що дозволяє об'єднувати кілька елементів – передавачів інформації до спільної лінії в режимі часового мультиплексування. З метою підвищення швидкодії без збільшення споживаної потужності впроваджено серії ТТЛШ, в яких енергія перемикання менша, ніж в елементів ТТЛ (середні значення параметрів деяких серій подано в табл. 4.1). Елементи ДТЛ, що застосовуються в сучасних малопотужних, а також завадостійких серіях, звичайно відносять до класу ТТЛ, бо за параметрами і технологією вони сумісні з елементами ТТЛ.

Таблиця 4.1

Серія	Призначення серії	$t_{з.п}$, *нс*	$P_{ж}$, *мВт*	A, *пДж*
155	Універсальна, ТТЛ	10	10	100
531	Швидкодійна, ТТЛШ	3	20	60
533, 555	Малопотужна, ТТЛШ	10	2	20
1531	Швидкодійна малопотужна, ТТЛШ	3	4	12
1533	Швидкодійна малопотужна, ТТЛШ	4	2	8

§4.2. БАЗОВІ ЕЛЕМЕНТИ ЕСЛ

4.2.1. Перемикач струму

Головна перевага ІС емітерно-сполученої логіки (ЕСЛ) полягає в їх великій швидкодії. Завдяки функційній та схемотехнічній гнучкості, відпрацьованості технології ІС ЕСЛ набули поширення як елементна база швидкодійних пристроїв; засвоєно випуск біля 50 типономіналів ІС.

Основою БЕ ЕСЛ є підсилювальний диференційний каскад (ДК) за схемою з несиметричним входом *е* та несиметричними виходами $u_{к1}$, $u_{к2}$ (рис. 4.11,*а*). До складу ДК входять керувальне плече на транзисторі *VT*1 і опорне – на *VT*2, до входу якого прикладено постійну напругу $E_{о}$ від джерела опорної напруги

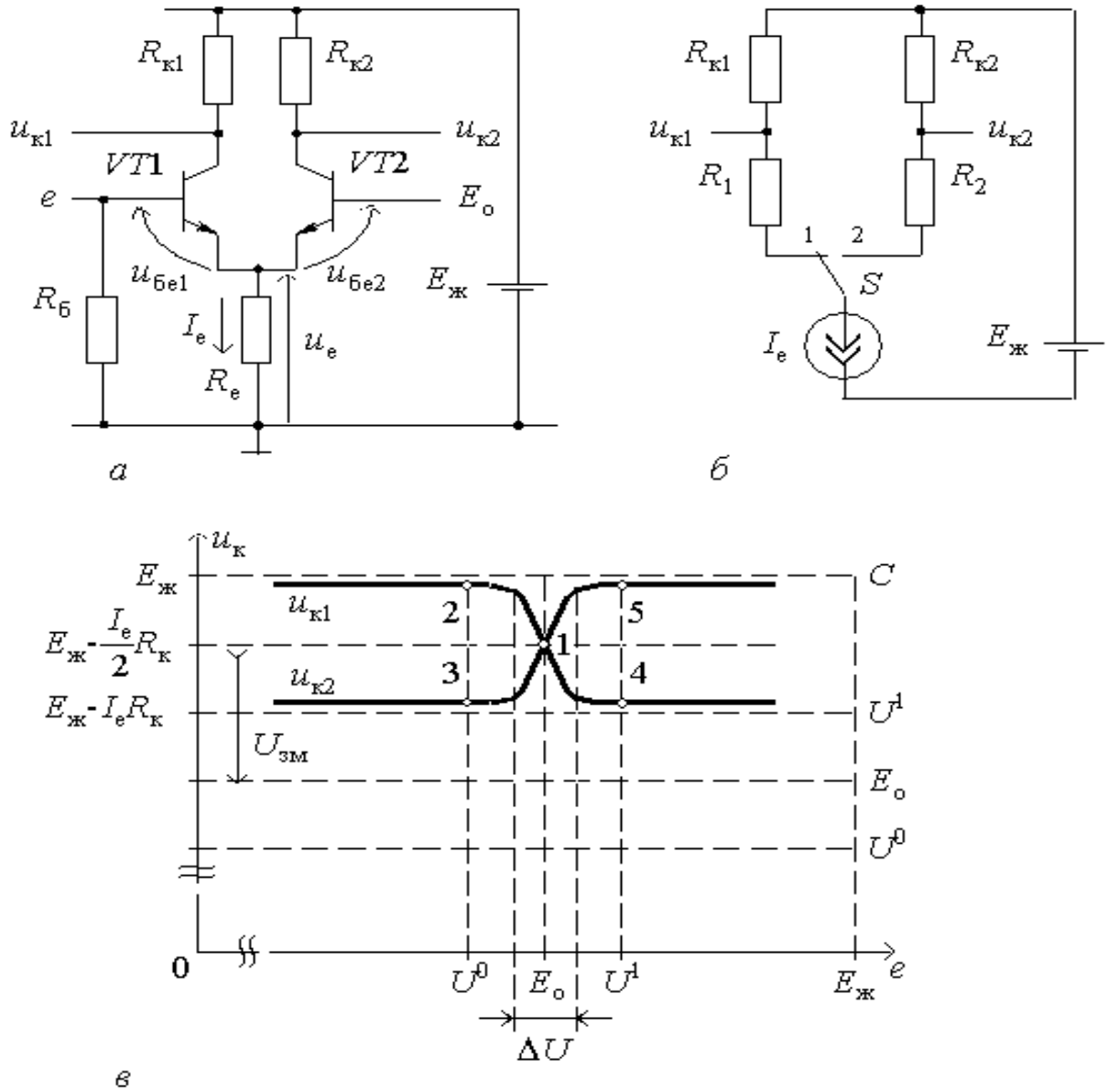


Рис. 4.11

(ДОН), що живиться від джерела живлення $E_ж$. Завдяки ДОН і негативному зворотному зв'язку за струмом, який здійснюється через опір $R_е$, забезпечується стабілізація параметрів ДК під час зміни температури середовища або напруги живлення, старіння елементів.

Як видно зі схеми, в ДУ завжди виконується співвідношення

$$u_е = e - u_{бе1} = E_о - u_{бе2}. \qquad (4.16)$$

З огляду на те, що на емітерному переході відчиненого транзистора напруга $U_{пр}$ майже незмінна, емітерний струм можна обчислити як $I_е = u_е / R_е = (E_о - U_{пр}) / R_е$, тобто він визначається приблизно сталими величинами.

Тому емітерне коло на еквівалентній схемі (рис. 4.11,*б*) репрезентують генератором стабільного струму (ГСС) $I_е$. Практично ГСС реалізується у вигляді опору $R_е$ (наприклад, у серії 500) або транзисторного каскаду, що живиться від ДОН (у серії 1500).

За однакових напруг $e=E_о$ на входах ДК обидва транзистори відчиняються і при симетричній схемі через них протікають струми $i_{к1}=i_{к2}=h_{21б}I_е/2\approx I_е/2$ та на виходах встановлюються напруги $u_{к1}=u_{к2}\approx E_ж-I_е R_к/2$. Цей, збалансований щодо виходів еквівалентного мосту стан, відповідає зображувальній точці 1 на передатних характеристиках ДК (рис. 4.11,*в*). Під час зменшення напруги e відносно $E_о$ на деяку малу величину Du опорне плече залишається відчиненим і напруги $u_{бе2}=U_{пр}$ та $u_е=E_о-U_{пр}$ – майже незмінними. Тому згідно з (4.16) величина $u_{бе1}=e-U_е$ зменшується, транзистор $VT1$ починає зачинятися, практично сталий струм $I_е=i_{е1}+i_{е2}$ перерозподіляється: $i_{е1}$ зменшується, а $i_{е2}$ збільшується, наслідок чого зниження рівня e спричиняє збільшення напруги $u_{к1}=E_ж-i_{е1}R_{к1}$ та зменшення $u_{к2}=E_ж-i_{е2}R_{к2}$. Отже, вихід керувального плеча є *інверсним*, а опо- рного - *прямим*.

Якщо негативний приріст вхідної напруги сягає величини розхилу вхідної характеристики (див. рис. 3.6,в) $\Delta U=U_{пр}-U_{бо}\approx 0{,}1...0{,}2$ *В*, транзистор $VT1$ зачиняється і струм $I_е$ повністю перемикається до транзистора $VT2$, що відповідає положенню 2 перемикача S на спрощенній еквівалентній схемі (див.рис. 4.11,*б*), на якій внутрішні опори транзисторів умовно позначено R_1 та R_2. Колекторні напруги $u_{к1}$, $u_{к2}$ при цьому набувають значення

$$U^1{}_к\approx E_ж;\ U^0{}_к\approx E_ж-I_е R_к, \qquad (4.17)$$

якщо знехтувати спадом напруг на резисторах $R_{к1}$, $R_{к2}$, спричинених відгалуженням незначних струмів у навантаження. Такий стан ДК відображається точками 2, 3 на передатній характеристиці.

І, навпаки, під час перевищення вхідною напругою величини $E_о$ транзистор $VT1$ відчиняється, напруга на його емітерному переході $u_{бе1}=U_{пр}$ лишається практично сталою, тому весь позитивний приріст Δe передається на емітер, і згідно з (4.16) напруга $u_{бе2}=E_о-u_е$ зменшується, тобто транзистор $VT2$ починає зачинятися, а відтак, при досягненні позитивного приросту $\Delta e\geq\Delta U$ весь струм $I_е$ перерозподіляєься до транзистора VT1, тобто перемикач S на рис. 4.11,*б* опиняється в положенні 1. Колекторні напруги відповідно до (4.17) набувають протилежного значення (точки 4, 5 на рис. 4.11,*в*).

Таким чином, ДК підсилює диференційну напругу $u_д=e-E_о$ – різницеву між його входами. Якщо керувальна напруга e змінюється в межах не менше, ніж розхил вхідної характеристики транзистора DU, ДК працює в ключовому режи-

мі і є *перемикачем струму* (ПС), бо емітерний струм $I_е$ під дією сигналу e по черзі перемикається до транзисторів $VT1$ та $VT2$. З огляду на незначну величину навколопорогової зони DU пороговою напругою перемикання можна вважати значення $E_о$, вхідним рівнем лог. 1 – напругу $e=U^1>E_о+\Delta U$, що перевищує опорну напругу $E_о$ на величину, не нижчу, ніж ΔU, а вхідним рівнем лог. 0 – напругу $e=U^0<E_о-\Delta U$, меншу за $E_о$ на таку саму величину.

З метою підвищення швидкодії в ПС вибирається *активний* режим відчинених транзисторів. Для цього напруга $E_о$ і вхідні логічні рівні U^0, U^1 (див. рис. 4.11,*в*) мають бути нижчими, ніж колекторні напруги $u_{к1}$, $u_{к2}$, тоді колекторні переходи транзисторів ПС завжди зміщені в зворотному напрямку.

4.2.2. Основна схема

Керувальне плече ПС у складі БЕ ЕСЛ (рис. 4.12,*а*) утворюється транзисторами $VT1.1$, $VT1.2$ – за кількістю входів x_1, x_2 для реалізації логічної функції АБО, а опорне плече – транзистором $VT2$. Резистори R_1, R_2 призначені для певного зачинення незадіяних вхідних транзисторів, а також для стікання зворотного базового струму під час їх закривання, через це зайві входи БЕ ЕСЛ можна залишати вільними. Із колекторних навантажень ПС сигнали надходять до інверсного y_1 та прямого y_2 виходів (рис. 4.12,*б*) через емітерні повторювачі $VT3$, $VT4$, які для розширення функційних можливостей виконують без навантажень R_3, R_4 всередині БЕ. Резистори можна підімкнути зовні елемента, як зображено пунктиром, або іншим чином.

Якщо колекторні виходи ПС підімкнути безпосередньо до входів керованих БЕ-навантажень, то транзистори $VT1$ елемента-навантаження завжди будуть відчиненими, а $VT2$ – зачиненими, бо напруги $u_{к1}$, $u_{к2}>E_о$ (див. рис. 4.11,*в*). Емітерні переходи транзисторів $VT3$, $VT4$ виконують функцію *зміщення* колекторних напруг на величину $U_{зм}=U_{пр}$ таким чином, що вихідні напруги u_{y1}, u_{y2} змінюються відносно опорної $E_о$, тобто взмозі перемикати БЕ-навантаження. Крім узгодження напруг емітерні повторювачі підвищують навантажівну здатність БЕ. Транзистори $VT3$, $VT4$ також перебувають в активному режимі: їх базові напруги не можуть перевищувати напруги на колекторах, підімкнених до позитивного полюса джерела живлення.

У БЕ ЕСЛ, як і в розгляненому ПС, джерело $E_ж$, природно, підімкнене так само: верхня за схемою шина з'єднана з позитивним полюсом, а нижня – з негативним, тому струми і спади напруг на ділянках кіл лишаються такими самими. Різниця полягає в тому, що в БЕ ЕСЛ заземлено верхню шину, тобто використовується джерело живлення негативної напруги $-E_ж$. Завдяки цьому зменшується

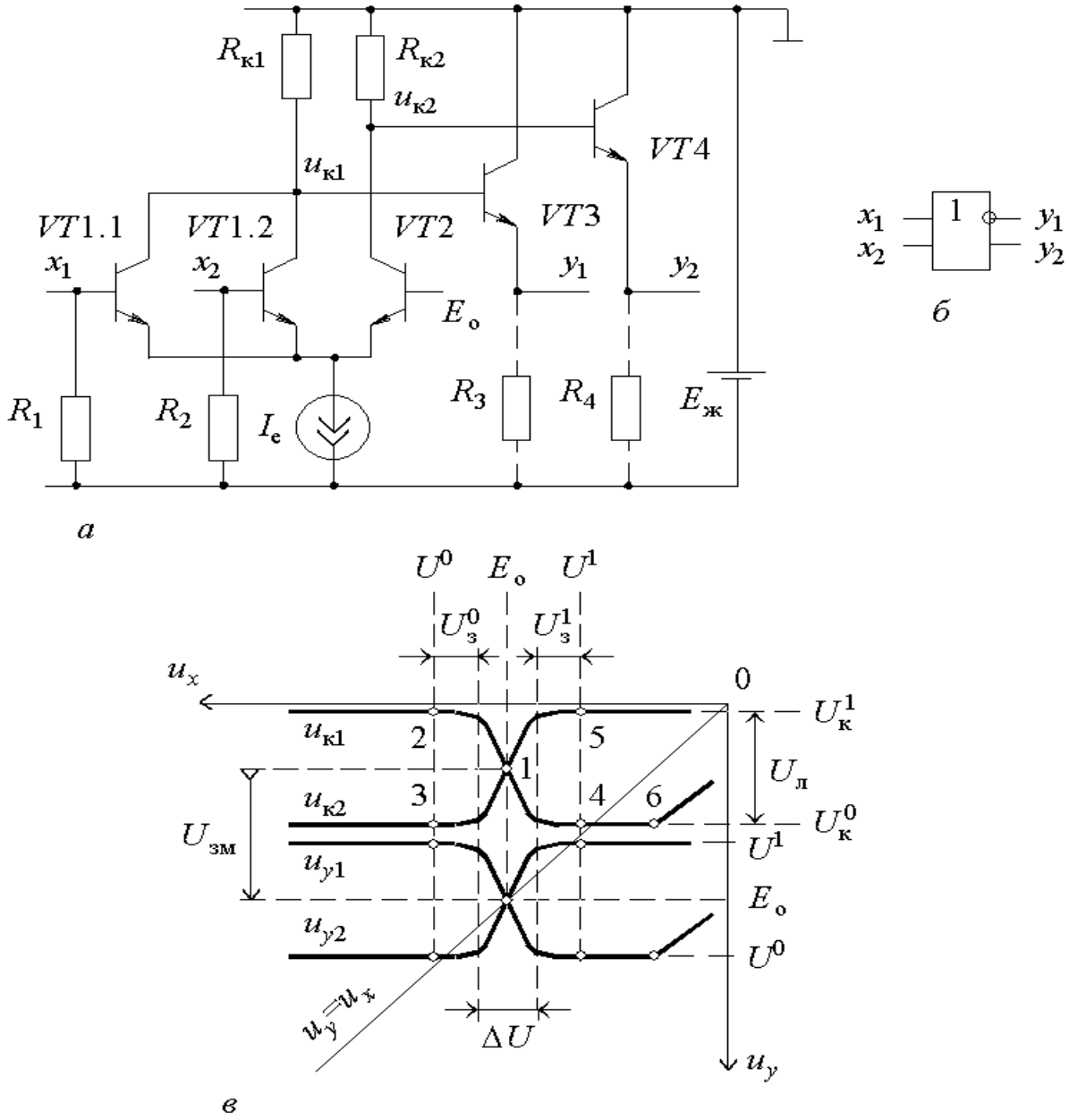


Рис. 4.12

вплив нестабільності джерела живлення і завад, що поширюються шиною живлення, адже тепер при зачиненому одному з плечей ПС напруга на його виході дорівнює не $E_ж$, а нулю; на виході протилежного, відчиненого плеча напруга значно менша, ніж при живленні БЕ від джерела $+E_ж$. Крім того, під час випадкового закорочування на корпус виходу схеми струм протікає через зовнішні резистори R_3, R_4, а не через транзистори *VT*3, *VT*4 і, отже, немає потреби захищати їх від виходу з ладу за допомогою обмежувальних резисторів у колекторних колах, як це робиться, наприклад, у БЕ ТТЛ.

4.2.3. Статичні режими та передатна характеристика

Передатну характеристику ПС за негативної напруги живлення дістанемо, якщо точку перетину *С* ліній, що виходять з $+E_ж$ (див. рис. 4.11,*в*) приймемо за нуль (рис. 4.12,*в*).

Дійсно, у *вимкненому* відносно керувального плеча стані БЕ, тобто при $x_1=x_2=0$ до всіх входів надходять напруги низького рівня $U^0<U_п=E_о$, тому всі транзистори керувального плеча *VT*1.1, *VT*1.2 зачинені, а транзистор *VT*2 опорного плеча вічинений і перебуває в активному режимі. Отже, увесь струм $I_е$ при цьому протікає через опорне плече: $i_{к1}\approx 0$, $i_{к2}\approx I_е$, тому напруги $u_{к1}$, $u_{к2}$ на виходах ПС при цьому дорівнюють відповідно

$$U^1_к\approx 0;\ U^0_к\approx -I_е R_к, \tag{4.18}$$

що відображається на передатній характеристиці ПС (див. рис. 4.12,*в*) точками 2, 3.

У *ввімкненому* стані, коли хоча б на один зі входів $x_i=1$ надходить напруга високого рівня $U^1>U_п=E_о$, відчиняється і переходить до активного режиму хоча б один із транзисторів *VT*1.1, *VT*1.2 керувального плеча, а транзистор VT2 зачиняється, струм $I_е$ перемикається до резистора $R_{к1}$, а через $R_{к2}$ не протікає: $i_{к1}\approx I_е$, $i_{к2}\approx 0$, отже, напруги $u_{к1}$, $u_{к2}$ змінюються відносно (4.18) на протилежні значення, що відповідає зображувальним точкам 4, 5.

Під час зменшення напруг на входах x_1, x_2 відносно U^0 транзистори *VT*1.1, *VT*1.2 лишаються зачиненими, тому напруги $u_{к1}$, $u_{к2}$ ліворуч від точок 2, 3 не змінюються. У навколопороговій області завширшки D*U*, що дорівнює розхилу вхідної характеристики, транзистори обох плечей потрапляють до активного режиму і відбувається перемикання ПС: на характеристиках точка 2 прямує до 4, та точка 3 – до 5. Під час подальшому збільшення вхідної напруги хоча б на одному зі входів x_i відповідний транзистор *VT*1.1 або *VT*1.2 відчиняється все більше і, коли (в точці 6) напруга на його базі перевищує колекторну $u_{к1}$, цей транзистор опиняється в режимі насичення; його колекторний перехід відчиняється і подальший приріст вхідної напруги надходить до виходу $u_{к1}$. Цим зумовлений злам характеристики в точці 6, праворуч якої ділянка є неробочою.

З огляду на те, що емітери повторювачів *VT*3, *VT*4 підімкнені до негативного полюса джерела живлення, їх базові напруги $u_{б3}=u_{к1}$, $u_{б4}=u_{к2}$ завжди перевищують емітерні, тому ці транзистори завжди відчинені і перебувають в активному режимі. Отже, вихідні напруги u_{y1}, u_{y2} повторюють значення $u_{к1}$, $u_{к2}$ зі зміщенням їх на величину спаду напруги на емітерних переходах $U_{зм}=U_{пр}$:

$$U^1=U^1_к-U_{пр}\approx -U_{пр};\ U^0=U^0_к-U_{пр}\approx -I_е R_к-U_{пр}.$$

Перетин передатних характеристик з лінією одиничного підсилення $u_y=u_x$ в точці, що відповідає вхідним і вихідним напругам E_0, свідчить про узгодженість рівнів. Через те, що логічний перепад $U_л=U^1-U^0 \approx U_{пр}$ невеликий, завадостійкість слід визначати за верхнім і нижнім пороговими рівнями $U_п=E_0 \pm DU/2$, тобто відносно точок зламу характеристик завадостійкість становить $U^0_з=U^1_з \approx 0{,}5(U_л-\Delta U)$. З урахуванням розкиду характеристик, неста-більності напруги живлення, реальна завадостійкість в діапазоні температур становить 125...150 *мВ*. Відносна завадостійкість $U_з / U_л \approx 15...20\%$ наближа-ється до БЕ ТТЛ і достатня завдяки стабілізації електричного режиму й тому, що через ПС протікає майже сталий струм $I_е$ і в ньому не утворюються завади протягом перемикання. Імпульсні завади можуть виникати в емітерних повторювачах; для зменшення їх впливу застосовують окреме підімкнення земляної шини повторювачів і ПС.

4.2.4. Особливості сполучення із зовнішніми колами

З метою розширення функційних можливостей на виходах БЕ ЕСЛ вмикають кілька емітерних повторювачів паралельним з'єднанням баз та колекторів вихідних транзисторів. Таким чином утворюється БЕ з багатоемітерними транзисторами; фрагмент схеми з БЕТ керувального плеча ПС наведено на рис. 4.13,*а*. Шляхом з'єднання емітерів БЕТ *одного* БЕ дістають *елемент з потужним виходом*, а емітерним об'єднанням *різних* БЕ реалізують операцію *монтажне АБО*. Так, при об'єднанні прямих виходів y_1, y_2 двох БЕ (рис. 4.13,*б*) до зовнішнього навантаження R_1 на спільному виході z_1 встановлюється високий рівень, якщо високий потенціал надходить хоча б з одного виходу: $z_1=y_1+y_2=x_1+x_2+x_3+x_4$, тобто емітерне об'єднання прямих виходів еквівалентне збільшенню коефіцієнта об'єднання $K_{об}$. Об'єднанням інверсних виходів $\overline{y_1}$, $\overline{y_2}$ елементів до навантаження R_2 реалізується *функція АБО-І-НЕ*: $z_2 = \overline{y_1} + \overline{y_2} = \overline{y_1 y_2} = \overline{(x_1 + x_2)\cdot(x_3 + x_4)}$. Подібні емітерні об'єднання можуть виконуватися і всередині ІС.

При проектуванні цифрових пристроїв слід враховувати, що на виході БЕ ЕСЛ формуються імпульси з фронтами наносекундної тривалості, тобто в спектрі сигналів містяться коливання НВЧ із короткою довжиною хвилі. Тому навантаження, віддалене від виходу БЕ на відстань, сумірну з довжиною хвилі, з'єднують за допомогою ліній зв'язку з хвильовим опором, що становить, здебільшого, r=50, 75 або 100 *Ом*. Для зменшення відбиття при поширенні сигналів лінією зв'язку її *узгоджують із навантаженням*, у найпростішому випадку за

допомогою навантажувального для емітерного повторювача *VT*3 резистора R_3=r (рис. 4.13,*а*), який приєднують до джерела живлення $E_{ж1}$ у кінці лінії, безпосередньо біля входу навантажувального БЕ.

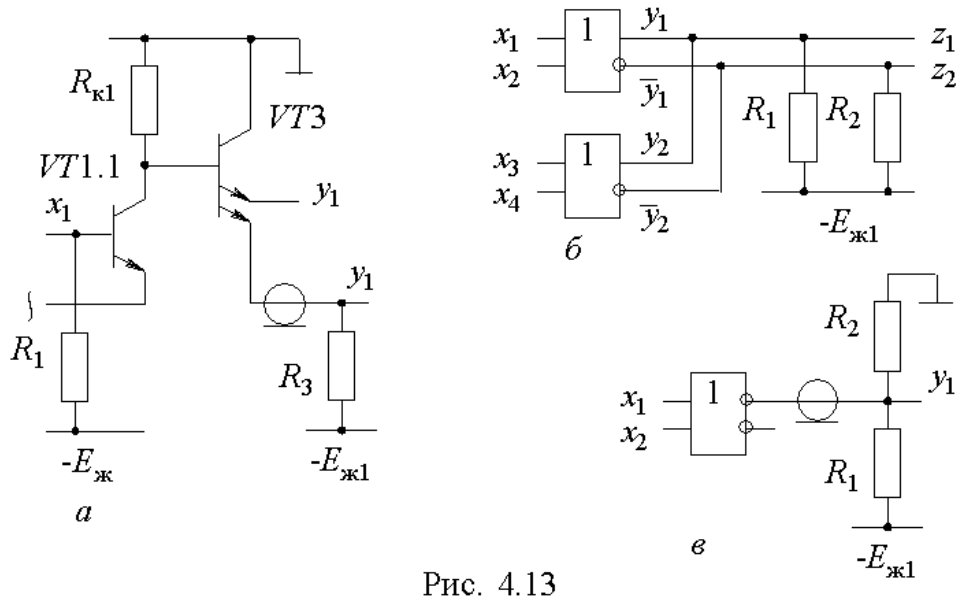


Рис. 4.13

Використання низькоопірних навантажувальних резисторів одночасно сприяє підвищенню швидкодії, проте призводить до збільшення споживаної потужності внаслідок зростання струму через емітерний повторювач

$$I^1_{вих}=(U^1-E_{ж1})/R_3, \qquad (4.19)$$

який при застосуванні стандартного для БЕ ЕСЛ джерела живлення $E_{ж1}=E_ж$=-5,2 *В* та при рівні лог. 1 на виході може перевищити гранично припустимий рівень. З метою уникути цього в колі емітерних повторювачів використовують окреме джерело живлення зі зменшеною напругою, наприклад, $E_{ж1}$=-2 *В* або -2,4 *В*.

Приклад. Для узгодження з лінією зв'язку, що має хвильовий опір ρ= =50 *Ом*, за схемою рис. 4.13,*а* застосовуємо резистор R_3=ρ=50 *Ом*. При використанні спільного джерела живлення $E_{ж1}=E_ж$=-5,2 *В* за (4.19) маємо $I^1_{вих}$=86 *мА*. Для зменшення струму через емітерний повторювач вибираємо напругу для його живлення $E_{ж1}$=-2 *В* або за відсутністю такого джерела використовуємо подільник напруги (рис. 4.13,*в*), опори якого мають задовольняти умови:

$$E_{ж1}=E_ж R_2/(R_1+R_2);\ R_1R_2/(R_1+R_2)=ρ,$$

звідки дістаємо R=ρ$E_ж/E_{ж1}$=130 *Ом*; R_2=ρ$R_1/(R_1$-ρ)=81,25 *Ом* та вибираємо R_1=130 *Ом*, R_2=82 *Ом*. Перевіряємо вихідний струм за (4.19) при $E_{ж1}$=-2 *В*:

$I^1_{\text{вих}}$=22 *мА*, що не перевищує гранично припустимого значення для БЕ ЕСЛ.

Таким чином, основу БЕ ЕСЛ складає диференційний каскад, що працює в режимі перемикача струму. Вихід керувального плеча БЕ ЕСЛ є інверсним, а опорного – прямим і відносно парафазних виходів реалізується логічна функція АБО-НЕ/АБО в позитивній логіці (вищий з урахуванням знака рівень напруги кодується лог. 1, а нижчий – лог. 0).

Головна перевага БЕ ЕСЛ – висока швидкодія – зумовлена тим, що 1) відчинені транзистори перебувають в активному режимі, тому відсутній час розсмоктування надлишкового заряду, 2) транзистори завдяки розвиненості технології виконуються з високою граничною частотою, 3) паразитні ємності перезаряджаються в низькоопірних колах: навантажувальні резистори вибираються з малими опорами і зв'язок між БЕ здійснюється через емітерні повторювачі з малим вихідним опором.

Проте зменшення номіналів резисторів призводить до збільшення споживаної потужності, більша частина якої витрачається емітерними повторювачами. Незважаючи на те, що за споживаною потужністю БЕ ЕСЛ перевищують інші типи ІС, енергія перемикання $A=P_{\text{ж}}t_{\text{з.п}}$ у БЕ ЕСЛ менша, тобто для досягнення такої самої швидкодії інші ІС потребують не меншої споживаної потужності. Застосування БЕ ЕСЛ ефективне й доцільне лише в швидкодійних пристроях.

§4.3. БАЗОВІ ЕЛЕМЕНТИ НА МОН-СТРУКТУРАХ

4.3.1. Базовий елемент МОНТЛ

БЕ на МОН-структурах набули поширення, особливо у складі ВІС, у зв'язку з їх технологічністю, високим ступенем інтеграції, низькою вартістю, малою споживаною потужністю та високою навантажівною здатністю.

БЕ МОН-транзисторної логіки (МОНТЛ) складаються з транзисторів одного типу провідності; для визначеності розглядатимемо БЕ з каналами типу *n* (*n*-МОНТЛ), які за логічними рівнями можуть бути сумісними з БЕ ТТЛ.

Найпростішим і поширеним є інвертор МОНТЛ з *нелінійним навантаженням* (рис. 4.14,*а*), в якому функцію резистора навантаження звичайного ключа виконує транзистор *VT*1, увімкнений за схемою двополюсника, бо в нього заслін з'єднано зі стоком, а вхідна напруга надходить до входу керувального транзистора *VT*2. Для транзистора *VT*1 завжди виконується співвідношення

$$u_{\text{з.в1}}=u_{\text{с.в1}}=E_{\text{ж}}-u_y,$$

де $u_{\text{з.в1}}$, $u_{\text{с.в1}}$ – напруги відповідно між заслоном і витоком або стоком і витоком; u_y – вихідна напруга.

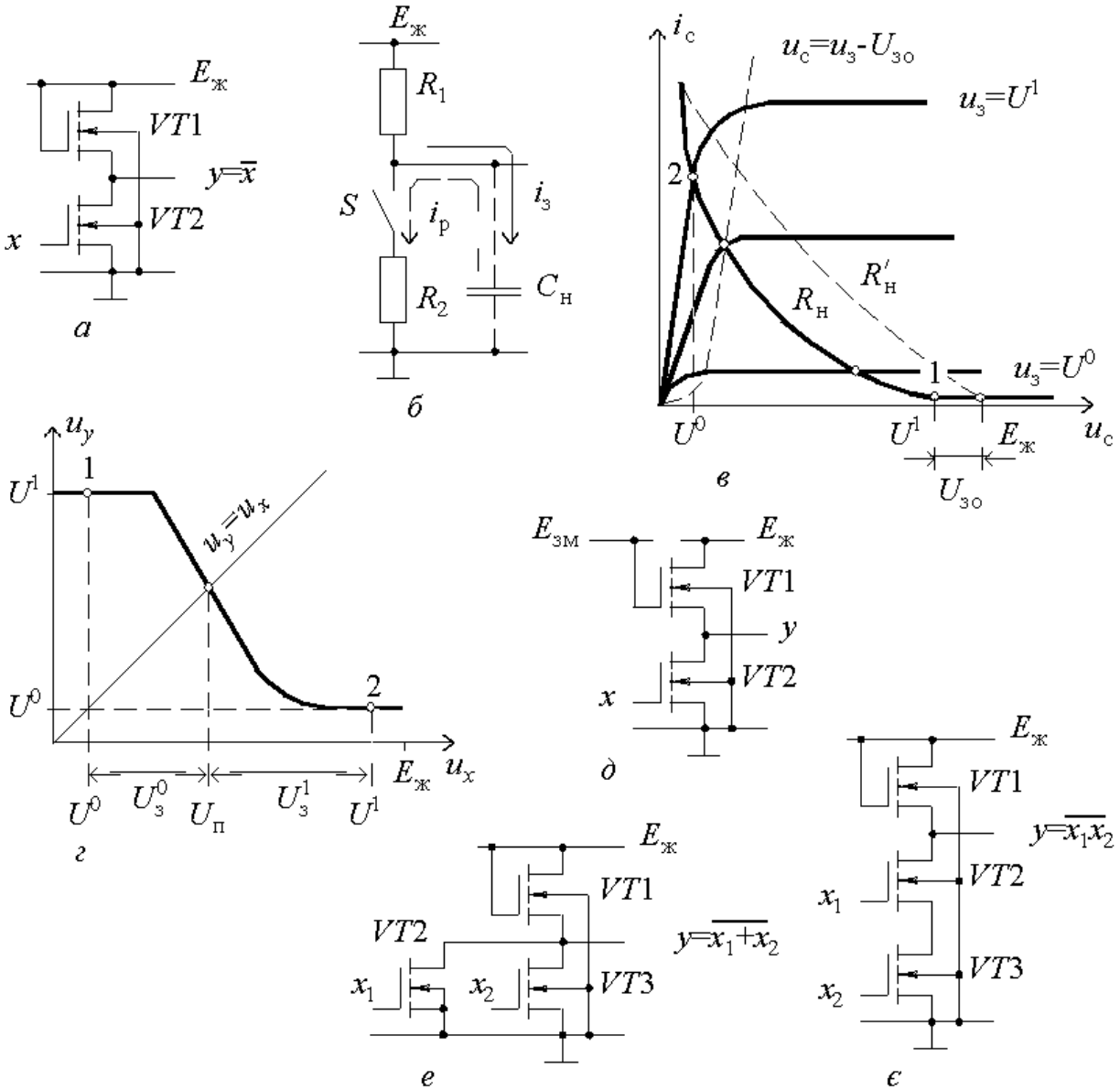


Рис. 4.14

У *вимкненому* стані, при вхідній напрузі $u_x=U^0<U_{зо}$ транзистор *VT*2 зачинено, що еквівалентно розімкненому положенню перемикача *S* (рис. 4.14,*б*), тому стоковий струм не протікає: $i_с=0$, тобто транзистор *VT*1 також зачинений. Отже, при цьому його напруги $u_{з.в1}=u_{с.в1}\le U_{зо}$, а напруга на виході перебуває в межах $u_y=E_ж...E_ж-U_{зо}$ залежно від розкиду опорів зачинених транзисторів *VT*1 та *VT*2. За рівень логічної одиниці доцільно прийняти мінімальну напругу $U^1=E_ж-U_{зо}$, що відповідає робочій точці 1 на вихідних характеристиках транзистора *VT*2 (рис. 4.14,*в*) і на передатній характеристиці інвертора (рис. 4.14,*г*).

Вмикання починається, коли зі збільшенням вхідної напруги $u_x \geq U_{зо}$ транзистор *VT*2 відчиняється, напруга на виході зменшується: $u_y \leq E_ж - U_{зо}$, а на заслоні відносно витоку транзистора *VT*1 збільшується: $u_{з.в1} \geq U_{зо}$ і з'являється струм $i_с > 0$. Лінія навантаження (на рис. 4.14,*в* суцільна лінія $R_н$) виходить від точки 1 і є нелінійною, бо за формою вона повторює пунктирну криву $u_с = u_з - U_{зо}$ на ВАХ транзистора *VT*1 (див. рис. 3.12,*в*). По досягненні вхідною напругою рівня лог. 1: $u_x = U^1$ робоча точка на вихідних і предатній характеристиках опиняється в положенні 2, що відповідає *ввімкненому* станові перемикача *S* (див. рис. 4.14,*б*). Для забезпечення низького рівня вихідної напруги $u = U^0 < U_{зо}$ аналогічно ключу з лінійним навантаженням необхідно виконати співвідношення між опорами відчинених транзисторів: $R_1 » R_2$.

Як порогову можна прийняти напругу $U_п$ за перетином передатної характеристики з лінією $u_y = u_x$, бо в точці перетину коефіцієнт підсилення великий, особливо в ланцюжку інверторів, і незначна зміна вхідної напруги відносно $U_п$ спричиняє перемикання ключів. Завадостійкість $U^0_з = U_п - U^0$, $U^1_з = U^1 - U_п$ при $U_п \approx (U^1 + U^0)/2$ сягає величини $U^0_з = U^1_з = (U^1 - U^0)/2$ і з урахуванням розкиду параметрів та дестабілізівних чинників становить $U^0_з \approx U^1_з \geq 1$ *В*.

Перехідні процеси, спричинені швидким розряджанням навантажувальної ємності $C_н$ через відносно малий опір R_2 і повільним заряджанням її через великий опір R_1, протікають аналогічно ключу з лінійним навантаженням (див. рис. 3.12,*г*). Підвищення швидкодії шляхом зменшення опорів транзисторів обмежено конструктивно-технологічною спроможністю збільшення їх крутості.

З огляду на те, що витік навантажувального транзистора *VT*1 не з'єднано зі спільним для обох транзисторів підшарком, його порогова напруга $U_{зо}$ збільшується з підвищенням напруги між витоком і підшарком, що призво ить до зменшення вихідної напруги рівня лог. 1, бо $U^1 = E_ж - U_{зо}$. Цей недолік усувається в модифікації БЕ з *квазілінійним навантаженням* (рис. 4.14,*д*): через велику напругу зміщення $E_{зм} > E_ж + U_{зо}$ напруга між заслоном і витоком транзистора *VT*1 завжди більша порогової, тому навантажівна лінія $R'_н$ (пунктир на рис. 4.14,*в*) виходить із точки $u_с = E_ж$ і рівень лог. 1 дорівнює $E_ж$. Крім того, внаслідок збільшення струму під час заряджання ємності $C_н$ підвищується швидкодія. Проте така модифікація потребує додаткового джерела живлення $E_{зм}$ та окремих відводів від заслонів, що збільшує площу елемента.

Логічна *функція АБО-НЕ* реалізується паралельним з'єднанням керувальних транзисторів (рис. 4.14,*е*), а *функція І-НЕ* – їх послідовним з'єднанням (рис. 4.14,*є*). Коефіцієнт об'єднання входів в останній схемі обмежується звичайно до

$K_{об} \leq 4$ збільшенням вихідного рівня лог. 0 внаслідок зростання опору між виходом і землею при відчинених усіх керувальних транзисторах. Комбінуванням послідовних і паралельних з'єднань керувальних транзисторів реалізуються складніші функції, наприклад, І-АБО-НЕ тощо.

4.3.2. Базовий елемент КМОНТЛ

Базові елементи комплементарної МОН-транзисторної логіки (КМОНТЛ) складаються з транзисторів, що мають канали протилежного (доповняльного) типу провідності (рис. 4.15,*а*), причому обидва транзистори: *VT*1 – навантажувальний типу *p*-МОН та *VT*2 – керувальний типу *n*-МОН є активними, керуються сигналом *x* і виконуються з приблизно однаковими параметрами. БЕ прицює як двотактний каскад: транзистори *VT*1, *VT*2 по черзі вмикаються і вимикаються, як умовно показано за допомогою перемикачів S_1, S_2 на рис. 4.15,*б*. Позаяк завжди виконується рівність $u_{с.в1}+u_{с.в2}=E_ж$, на вихідних характеристиках транзистора *VT*2 (рис. 4.15,*в*) навантажівні лінії – характеристики транзистора *VT*1 – виходять із точки ($i_с=0$, $u_{с.в}=E_ж$).

У *вимкненому статичному стані* інвертора (перемикачі S_1, S_2 у положенні 1) при $x=0$ напругою низького рівня $U^0<U_{зо}$ транзистор *VT*2 зачинено, що відповідає його низькій вихідній характеристиці, знятій при $u_{з.2}=U^0$ (на рис.4.16,*в*) для наочності її ординату збільшено). При цьому між заслоном та витоком навантажувального транзистора *VT*1 типу *p*-МОН діє велика негативна напруга $u_{з.в1}=U^0-E_ж \approx -E_ж$, що перевищує за модулем порогову: $|u_{з.в1}|>|U_{зо}|$. Внаслідок цього транзистор *VT*1 відчинено, чому відповідає його верхня характеристика, знята при $u_{з.в1} \approx -E_ж$. Перетин зазначених характеристик у точці 1 визначає вихідну напругу $U^1 \approx E_ж$ рівня лог. 1. Аналогічно у *ввімкненому стані* (перемикачі S_1, S_2 у положенні 2) при $x=1$ рівнем $U^1>U_{зо}$ транзистор *VT*2 відчинено, чому відповідає його верхня характеристика $u_{з.2}=U^1$, а транзистор *VT*1 зачинено, бо між його заслоном та витоком напруга $u_{з.в1}=U^1-E_ж \approx 0$ менша за порогову і, отже, його характеристика нижня, знята при $u_{з.в1} \approx 0$. Перетин цих характеристик у точці 2 вказує вихідну напругу $U^0 \approx 0$ рівня лог. 0.

На *передатній характеристиці* (рис. 4.15,*г*) діапазонові вхідних напруг $u_x=U^0 ... U_{зо.2}$ відповідає рівень $u_y=U^1$, де зачинено транзистор *VT*2, а діапазонові $u_x=E_ж-|U_{зо.1}| ... U^1$ – рівень $u_y=U^0$, де зачинено транзистор *VT*1. Тому на цих ділянках крізний стоковий струм $i_с$ відсутній. На навколопороговій ділянці, при $u_x \approx U_п$ робочі точки обох транзисторів потрапляють на положисті частини їх ви-

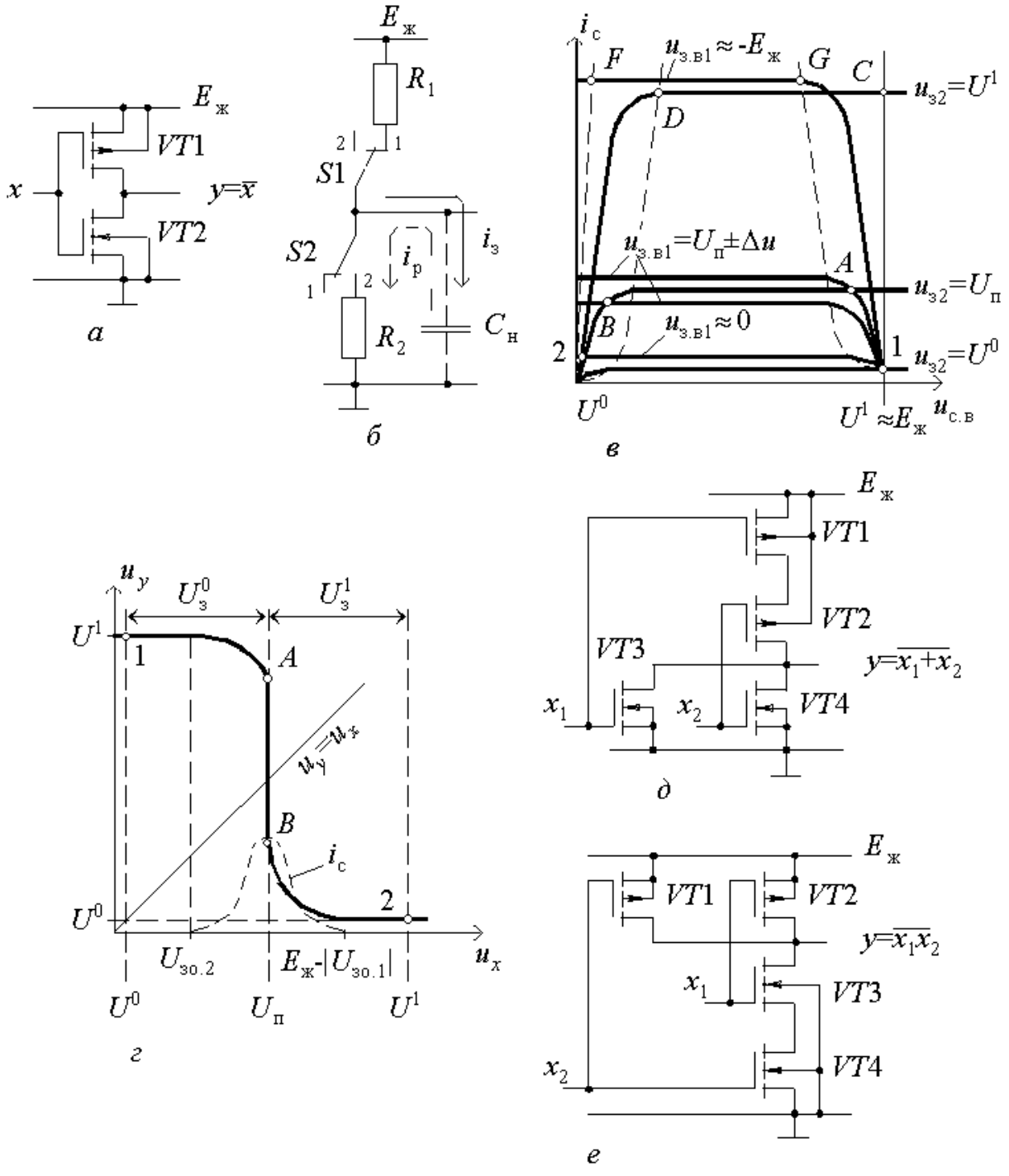


Рис. 4.15

хідних характеристик, тому досить незначної зміни вхідної напруги на $\Delta u \approx 0$ для стрибка точки перетину від *A* до *B*, що відповідає майже вертикальній ділянці *AB* передатної характеристики. При цьому обидва транзистори виявляються

відчиненими, тому через них протікає крізний стоковий струм i_c (пунктир на рис. 4.15,*г*).

За майже однакових параметрів обох транзисторів порогова напруга БЕ $U_п=(U^0+U^1)/2 \approx E_ж/2$, тому завадостійкість $U^0_з \approx U^1_з \approx U_п$ виявляється досить високою і з урахуванням розкиду параметрів становить не нижче за $U^0_з=U^1_з$ і i0,9 *В*. Відсутність споживаного струму $i_c \to 0$ та споживаної потужності $P_ж \approx 0$ в обох статичних станах, а також великий вхідний опір елемента зумовлюють його високу навантажівну здатність: $K_{роз} \approx 100$.

Перехідні процеси, спричинені перезаряджанням навантажувальної ємності $C_н$, протікають аналогічно БЕ МОНТЛ. Відмінність полягає в тому, що завдяки двотактному режиму роботи вихідні рівні не залежать від опорів відчинеих транзисторів *VT*1, *VT*2, тому їх виконують однаковими, з високою крутістю, а, отже, з малим опором, що підвищує навантажівну здатність і швидкодію. Слід відзначити, що внаслідок перезаряджання ємності $C_н$ протягом перемикання БЕ споживаний струм i_c зростає, тому зі збільшенням частоти вхідного сигналу зростає й споживана потужність.

При реалізації логічних функцій у БЕ КМОНТЛ кожному інформаційному входові x_i має відповідати своя пара транзисторів типу *p*-МОН та *n*-МОН, аби в статичних станах БЕ не споживали потужність. В *елементі АБО-НЕ* (рис. 4.15,*д*) транзистори *n*-МОН з'єднують паралельно, а *p*-МОН – послідовно. При $x_1=x_2=0$ зачинені транзистори *VT*3, *VT*4 від'єднують вихід від землі, а відчинені *VT*1, *VT*2 – з'єднують його з джерелом $E_ж$, тому $y=1$; за будь-яких інших комбінацій вхідних рівнів хоча б один із транзисторів *VT*3, *VT*4 відчинений і з'єднує вихід із землею, а хоча б один із транзисторів *VT*1, *VT*2 зачинений і від'єднує вихід від джерела $E_ж$, тому $y=0$. В *елементі І-НЕ* (рис. 4.15,*е*), навпаки, транзистори *n*-МОН з'єднано послідовно, а транзистори *p*-МОН –паралельно відносно виходу *y*. Лише при $x_1=x_2=1$ танзистори *VT*3, *VT*4 відчинено, а *VT*1, *VT*2 зачинено, тому $y=0$. За всіх інших комбінацій хоча б один з транзисторів *VT*3, *VT*4 зачинено, а *VT*1, *VT*2 – відчинено, отже, $y=1$.

Слід відзначити, що БЕ КМОНТЛ не можна з'єднувати виходами, бо за різних станів таких елементів може виникнути крізний струм аналогічно БЕ ТТЛ (див. рис. 4.7,*а*). До спільної лінії приєднують модифіковані БЕ КМОНТЛ з трьома станами виходу за умови активізації в певний час керувальним сигналом *OE* лише одного з них. Невикористовувані входи БЕ КМОНТЛ не дозволяється залишати вільними, бо внаслідок дуже великих вхідних опорів можуть наводитися неприпустимі завади й паразитні потенціали. Такі входи з'єднують з константами, що не змінюють логічну функцію, тобто з "землею" (лог. 0) або з шиною джерела живлення (лог. 1).

4.3.3. Двоспрямовані ключі КМОНТЛ

На основі КМОН-структур будуються також двоспрямовані ключі з цифровим керуванням, що можуть використовуватися для комутування кіл з аналоговими сигналами. Такий ключ (рис. 4.16,*а*,*б*) складається з двох увімкнених паралельно транзисторів: *VT*1 типу *p* та *VT*2 типу *n*, підшарки яких аналогічно КМОНТЛ з'єднані відповідно з джерелом живлення $E_ж$ та спільною шиною. Керується ключ цифровим сигналом дозволу *OE*, який за допомогою звичайного інвертора КМОНТЛ (див. рис. 4.15,*а*) надходить до затворів парафазно: *OE* і $\overline{OE}$.

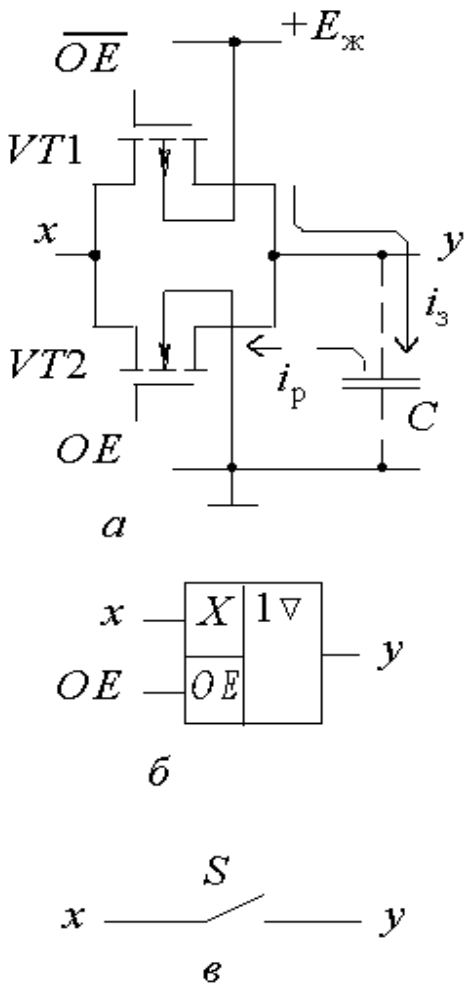


Рис. 4.16

При *OE*=0 еквівалентний перемикач *S* (рис. 4.16,*в*) перебуває в розімкненому стані: транзистор *VT*2 типу *n* зачинено, бо у всьому діапазоні вхідних сигналів $u_x=U^0...U^1\approx 0...E_ж$ напруга між його заслоном та витоком $u_{з.в2}\le 0$, і транзистор *VT*1 типу *p*, на заслоні якого діє рівень лог. 1, при цьому також зачинений позитивною напругою $u_{з.в1}$і0. При *OE*=1 перемикач *S* замикається: в діапазоні вхідних сигналів $u_x=0...E_ж-U_{зо}$ напругою $u_{з.в2}\approx E_ж...U_{зо}$ відчинено транзистор *VT*2, а в діапазоні $u_x=U_{зо}...E_ж$ напругою $u_{з.в1}\cong -U_{зо}...-E_ж$ відчинено також транзистор *VT*1. Отже, аналогові сигнали в діапазоні $u_x=U_{зо}...E_ж-U_{зо}$ передаються зі входу до виходу з мінімальною похибкою (тим меншою, чим більший опір навантаження), бо в цьому діапазоні відчинено обидва транзистори і опір між входом і виходом стає майже постійним.

Слід зауважити, що ключ такого типу є двоспрямований, бо в МОН-транзисторах симетричної структури електроди стік і витік взаємозамінні: вивід *n*-каналу з більш високим потенціалом править за стік, а з меншим потенціалом – за витік. Внаслідок цього струм через ключ може протікати в обох напрямках: при *x*=1 з надходженням сигналу дозволу *OE*=1 паразитна ємність *C* заряджається струмом $i_з$, при *OE*=0 на ємності певний час зберігається заряд і, нарешті, при *x*=0 та *OE*=1 ємність розряджається струмом $i_р$ у зворотному напрямку.

4.3.4. Динамічні елементи

На відміну від розглянутих статичних базових елементів, динамічні елементи більшу частину часу перебувають у режимі зберігання інформації, коли вони відімкнені від джерела живлення. Це дає змогу зменшити споживану потужність, а також підвищити швидкодію та ступінь інтеграції. Роль запам'ятовувального елемента відіграє паразитна сумарна ємність *C*, здатна досить тривалий час (до мікросекунд) зберігати заряд завдяки великому опорові зачинених транзисторів елемента і вхідних опорів елементів-навантажень. Аби уникнути втрат інформації внаслідок повільного розряджання ємності, її заряд періодично відновлюють протягом дії синхроімпульсів *Ф* із періодом, не більшим за час зберігання заряду.

Один з варіантів *однотактного* динамічного інвертора (рис. 4.17,*а*) складається з елемента МОНТЛ на транзисторах *VT*1, *VT*2 (див. рис. 4.14,*а*) та ключа *VT*3, за допомогою якого запам'ятовувальна ємність *C* періодично підмикається до виходу елемента МОНТЛ. Для цього заслін транзистора *VT*1 від'єднано від джерела живлення і разом із заслоном ключа *VT*3 підімкнено до джерела синхроімпульсів *Ф*; підшарки всіх транзисторів з'єднано з корпусом.

У проміжках між синхроімпульсами *Ф* (рис. 4.17,*б*) елемент перебуває в режимі зберігання інформації: зачиненим транзистором *VT*3 конденсатор *C* відімкнений від елемента і він практично зберігає свій заряд, повільно розряд жаючись через великі опори втрат. З надходженням чергового імпульсу *Ф* відбувається відновлення або запис інформації. Так, при x=0 транзистор *VT*2 зачинено, імпульсом *Ф*=1 транзистори *VT*1 та *VT*3 відчиняються, тому конденсатор *C* дозаряджається струмом $i_з$ від джерела живлення (під час дії імпульсу 1), якщо він був заряджений, або заряджається (протягом імпульсу 4), якщо був розряджений, тобто при x=0 після чергового імпульсу *Ф* на виході діє рівень y=1. І, навпаки, при x=1 транзистор *VT*2 відчиняється, тому з надходженням синхроімпульсу *Ф* конденсатор *C* розряджається струмом $i_р$ (імпульс 2) через малий опір транзистора *VT*2, якщо він був заряджений, або залишається в розрядженому стані (імпульс 3), тобто при x=1 на виході буде рівень y=0.

Таким чином, у паузах між імпульсами *Ф* елемент не споживає потужність; відносно входу x він виконує логічну функцію $y=x$. Знак затримки на умовному графічному позначенні (рис. 4.17,*в*) вказує, що запис інформації відбувається після надходження чергового синхроімпульсу. Для здобуття логічних елементів АБО-НЕ та І-НЕ досить керувальні транзистори *VT*2 з'єднати так само, як і в схемі МОНТЛ (див. рис. 4.14,*е*,*є*).

З огляду на те, що при *Ф*=1 та x=1 відчиняються обидва транзистори *VT*1 і *VT*2, для здобуття низького рівня U^0 необхідно, як і в статичній схемі, вибирати відношення опорів цих транзисторів великим, тому таку схему часто називають "*з відношенням*". Недоліки елементів "з відношенням" – великий час за ряджан-

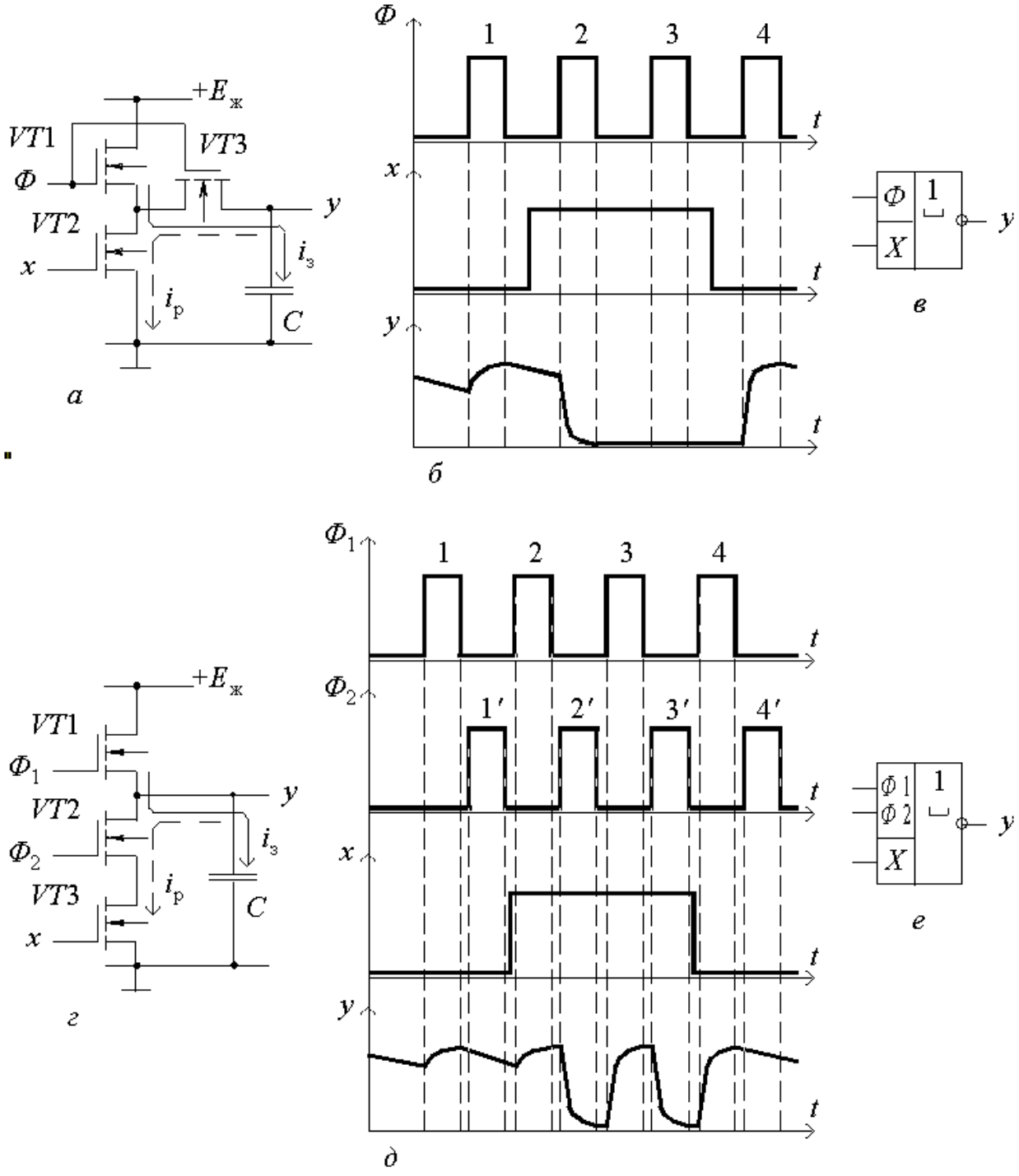


Рис. 4.17

ня ємності C через транзистор $VT1$, що обмежує тривалість імпульсів $Ф$ за мінімумом, та збільшення площі, потрібної для елемента з різними опорами транзисторів, – усуваються в елементах "*без відношення*".

Одна з модифікацій *двотактного* елемента (рис. 4.17,*г*) будується на

МОН-транзисторах, підшарки яких з'єднано зі спільною шиною, і керується двома зсунеными за фазою послідовностями синхроімпульсів $Ф_1$, $Ф_2$ (рис. 4.17,*д*). У проміжках між синхроімпульсами транзистори *VT*1, *VT*2 зачинені, тому конденсатор *C* перебуває в режимі зберігання заряду. З надходженням синхро-імпульсів $Ф_1$ відчиняється транзистор *VT*1 і конденсатор дозаряджаєтьтся струмом $i_з$, якщо перед цим він був заряджений (імпульси 1, 2), або заряджається, якщо був розряджений (імпульси 3, 4), тобто по закінченні імпульсу $Ф_1$ незалежно від значення *x* на виході завжди діє високий рівень *y*=1.

І, нарешті, з надходженням синхроімпульсів $Ф_2$ відчиняється транзистор *VT*2 і елемент працює в режимі запису інформації: при *x*=0 транзистор *VT*3 зачинений, на конденсаторі зберігається заряд (імпульси 1′, 4′), а при *x*=1 транзистор *VT*3 відчиняється і конденсатор розряджається через нього струмом $i_р$ (імпульси 2′, 3′). Елемент виконує, таким чином, функцію НЕ (рис. 4.17,е), а для реалізації функцій АБО-НЕ, І-НЕ, необхідно, як і в попередньому випадку, з'єднати паралельно чи послідовно керувальні транзистори *VT*3. Недолік динамічних елементів – складність керування – не є вирішальним, особливо для ВІС із внутрішнім пристроєм регенерування. З точки зору користувача такі елементи, по суті, не відрізняються від статичних, проте мають переваги: великий ступінь інтеграції та малу споживану потужність.

§4.4. БАЗОВІ ЕЛЕМЕНТИ І^{2}Л

В елементах інтегрованої інжекційної логіки (І^{2}Л) можливості схемотехніки, електроніки та технології інтегровані таким чином, що немає чіткої межі між окремими компонентами схеми. Це сприяє підвищенню ступеня інтеграції ВІС на базі І^{2}Л.

Елемент І^{2}Л (на рис. 4.18,*а* відокремлений пунктиром) моделюється схемою з двох транзисторів: керувального *VT*1 та джерела струму *I* (інжектора) *VT*2. У *вимкненому* стані БЕ транзистор – джерело сигналу *VT*1′ перебуває в режимі насичення, інформаційному значенню *x*=0 відповідає напруга на його колекторі $U^0=U_{к.н}$, тому транзистор *VT*1 зачинений і струм $I=i_{к1}'$ інжектора *VT*2 замикається до колектора джерела *VT*1′ (на рис. 4.18,*а* струми в цьому режимі зазначені суцільними стрілками), а струм $I=i_{б1}''$ інжектора навантаження *VT*2″ замикається до бази навантажувального транзистора *VT*1″ і забезпечує його насичення. При невеликому струмі вихідному значенню *y*=1 відповідає напруга $U^1=U_{пр}\approx 0{,}7$ *В*. На передатній характеристиці (рис. 4.18,*б*) вимкнений стан БЕ відображається точкою 1.

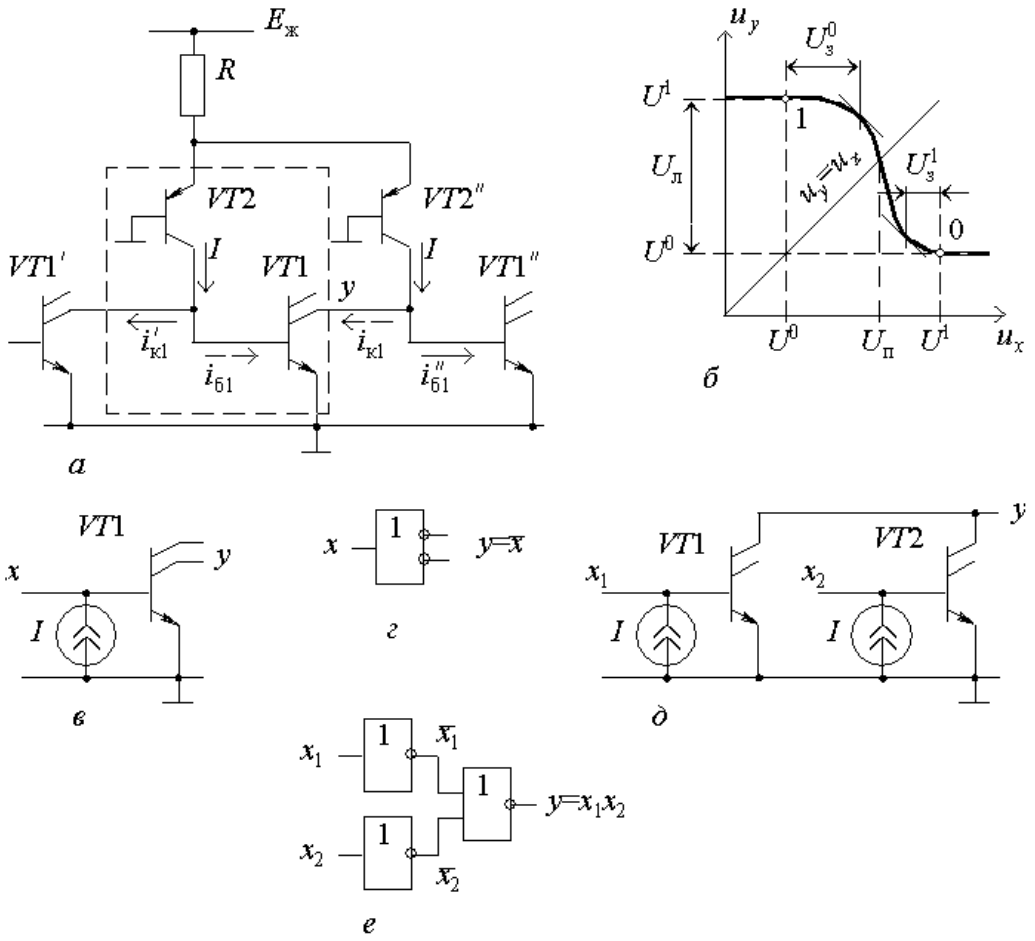


Рис. 4.18

Увімкнений стан забезпечується, коли транзистор *VT*1′ зачинений: струм інжектора $I=i_{б1}$ спрямовується до бази транзистора *VT*1 (у цьому режимі струми зазначено пунктиром) і підтримує його в насиченні, тобто значенню $x=1$ відповідає вхідна напруга $U^1=U_{пр}\approx 0{,}7$ *В*. Струм $I=i_{к1}$ від БЕ-навантаження тепер замикається до колектора транзистора *VT*1, а вихідною напругою при $y=0$ рівня $U^0=U_{к.н}$ (точка 0 на передатній характеристиці) транзистор *VT*1″ зачиняється. Позаяк при цьому струми $i_{б1}=I$ та $i_{к1}=I$ приблизно однакові, то для забезпечення режиму насичення $i_{б1}>I_{б.н}=I_{к.н}/h_{21e}$ достатній коефіцієнт підсилення $h_{21e}\geq 1$, який можна одержати навіть при мікрострумах, тобто режим увімкнення забезпечується при мінімальній споживаній потужності.

Через малі рівні напруг завадостійкість елемента визначають не відносно порогової напруги $U_п$ за перетином лінії одиничного підсилення $u_y=u_x$ з передатною характеристикою, а відносно точок, що відповідають межам відчиненого і зачиненого станів, де $du_y/du_x=1$. Внаслідок різко несиметричної передатної характеристики відносно точок 1 і 0 рівень відчиняльної статичної завади $U^0_з\approx$

$\approx U_{бо}\text{-}U^0 \approx U_л$ наближається до логічного перепаду $U_л=U^1-U^0=U_{пр}-U_{к.н}\approx$ $\approx$0,6...0,7 *В*, а зачиняльної завади $U^1_з\approx$20...50 *мВ* дуже малий. Проте через зачинений попередній елемент зачиняльна завада майже не проходить, а рівень динамічних завад, пропорційний логічному перепадові, малий, тому завадостійкість БЕ І^{2}Л є прийнятною для побудови ВІС.

Якщо до виходу *у* паралельно підімкнути *n* навантажень, умову насичення $h_{21e}>n$ виконати важче та через розкид вхідних характеристик навантажувальних транзисторів виникає нерівномірний розподіл базових струмів під час їх відкривання. Ці недоліки усуваються за допомогою багатоколекторного транзистора (БКТ): кожне навантаження живиться при цьому від окремого колектора, тому бази навантажувальних транзисторів розв'язані. На еквівалентній схемі (рис. 4.18,*в*) джерело інжекційного струму VT2 зображається генератором струму *І*, а рівноцінні й незалежні виходи *у* на умовному графічному позначенні інвертора (рис. 4.18,*г*) подають окремими виводами.

При *реалізації логічних функцій* базовим є розглянутий елемент НЕ, а також АБО-НЕ, який утворюється паралельним з'єднанням колекторів *n-p-n*-транзисторів (рис. 4.18,*д*). Якщо хоча б на одному зі входів діє рівень лог. 1, відповідний транзистор відчиняється, струм навантаження замикається через нього, тому *у*=0. Лише при всіх вхідних рівнях лог. 0 *n-p-n*-транзистори елемента зачиняються і струм навантаження замикається до бази БЕ-навантаження, тобто *у*=1.

Інші логічні функції реалізуються шляхом колекторних об'єднань за формулами алгебри логіки при переході з базису АБО-НЕ. Наприклад, функцію І здійснюють на підставі закону де Морґана $\overline{\overline{x_1}+\overline{x_2}}=x_1x_2$ (рис. 4.18,*е*) за допомогою двох елементів НЕ та одного АБО-НЕ. Необхідно тільки кожне колекторне об'єднання підмикати до окремого навантаження, аби уникнути змагань між базовими струмами навантажувальних транзисторів.

Таким чином, завдяки відсутності в структурі І^{2}Л ізолювальних областей та мінімуму металевих міжз'єднань покращується технологічність виготовлення ІС, зростає ступінь інтеграції, зменшуються паразитні ємності, що разом із відсутністю в схемі резисторів спричиняє зменшення сталих часу ємності і, отже, підвищення швидкодії. Якщо джерело живлення $E_ж$ підімкнути безпосередньо до елемента, тобто до емітерного переходу транзистора *VT*2 (див. рис. 4.18,*а*), то можна використовувати джерело з низькою напругою $E_ж=U_{пр}$. Проте для стабілізації інжектованого струму вмикають додатковий резистор *R* (звичайно поза ІС) і застосовують напругу живлення $E_ж$=1...5 *В*. Позаяк в увімкненому стані керованого транзистора його базовий і колекторний струми однакові, елемент може функціонувати при малих струмах *І*=1 *нА*...1 *мА*, тобто при наднизькій споживаній потужності. Все це сприяє поширенню технології І^{2}Л у ВІС, де головний недолік елементів – низька завадостійкість $U^1_з$ – не виявляється.

Запитання та вправи

4.1. Для БЕ типу 1) ТТЛ, 2) ЕСЛ, 3) МОНТЛ, 4) КМОНТЛ, 5) $I^2Л$ виконайте завдання: *а*) на основній схемі для обох статичних станів позначте у всіх її точках типові значення напруг; *б*) на передатній характеристиці позначте в двох статичних станах вхідні і вихідні логічні рівні та порогову напругу, а також визначіть статичну завадостійкість; *в*) поясніть по схемі вплив навантажувальної ємності на швидкодію.

4.2. Наведіть принципові електричні схеми, що реалізують зазначені логічні функції на елементах заданого типу: 1) на модифікованих БЕ ТТЛ: *а*) $\bar{x}$, *б*) $\overline{x_1 + x_2}$, *в*) $\overline{x_1x_2 + x_3}$, *г*) $x_1x_2x_3$, *д*) x_1+x_2, *е*) $x_1x_2+x_3$, *є*) $x_1\bar{x}_2$; 2) на двовходових БЕ ЕСЛ: *а*) $x_1+x_2+x_3$, *б*) $\overline{(x_1 + x_2)x_3}$, *в*) $x_3\overline{(x_1 + \bar{x}_2)}$, *г*) $\bar{\bar{x}}_1(x_2 + x_3)$, *д*) $\overline{x_1 \oplus x_2}$; 3) на БЕ МОНТЛ: *а*) $\bar{x}_1x_2\bar{x}_3$, *б*) $\overline{x_1x_2x_3}$, *в*) $\overline{x_1x_2 + x_3x_4}$, *г*) $x_1 \oplus x_2$; 4) на БЕ КМОНТЛ: *а*) $\overline{x_1 + x_2 + x_3}$, *б*) $\bar{x}_1 + \bar{x}_2 + \bar{x}_3$, *в*) $\overline{x_1 + x_2x_3}$, *г*) $x_1\bar{x}_2$; 5) на БЕ $I^2Л$: *а*) $x_1+x_2+x_3$, *б*) $\overline{x_1 + x_2 + x_3}$, *в*) $x_1x_2x_3$, *г*) $\overline{x_1x_2x_3}$, *д*) $\overline{x_1 + x_2x_3}$; 6) на однотактних динамічних елементах МОНТЛ: *а*) $\overline{x_1 + x_2 + x_3}$, *б*) $\overline{x_1x_2x_3}$, *в*) $\overline{x_1x_2 + x_3x_4}$; 7) на двотактних динамічних елементах МОНТЛ: *а*) $\overline{x_1 + x_2}$, *б*) $\overline{x_1x_2}$, *в*) $\overline{x_1x_2 + x_3}$.

4.3. Чому не можна з'єднувати виходи елементів ТТЛ і КМОНТЛ за базовою схемою на спільну лінію зв'язку? Виходи яких модифікацій можна об'єднати на спільне навантаження?

4.4. За допомогою яких засобів у модифікованих елементах ТТЛ досягають: *а*) підвищення навантажівної здатності, *б*) підвищення швидкодії, *в*) зменшення споживаної потужності, *г*) підвищення завадостійкості, *д*) захисту від неприпустимих вхідних напруг негативної полярності, *е*) можливість об'єднання виходів кількох елементів-передавачів на спільну лінію?

4.5. Якими причинами зумовлена висока швидкодія БЕ ЕСЛ? В яких пристроях доцільно використовувати БЕ ЕСЛ?

4.6. В якому діапазоні з найменшою похибкою комутуються напруги двоспрямованим аналоговим ключем КМОНТЛ?

4.7. Які переваги має динамічний елемент МОНТЛ "без відношення" перед елементом "з відношенням"?

4.8. Чому до одного виходу БЕ $I^2Л$ не можна підімкнути декілька входів навантажувальнихних елементів? Як усувається цей недолік?

4.9. Порівняйте основні типи БЕ за такими характеристиками: *а*) швидкодією, *б*) ощадливістю щодо споживаної потужності, *в*) енергією перемикання, *г*) завадостійкістю, *д*) навантажівною здатністю, *е*) ступенем інтеграції.

Л І Т Е Р А Т У Р А

1. **Радіотехніка:** Енциклопедичний навчальний довідник: Навч. посібник / За ред. Ю.Л. Мазора, Є.А. Мачуського, В.І. Правди. – К.: Вища шк., 1999. – 838 с.
2. Зубчук В.И., Сигорский В.П., Шкуро А.Н. **Справочник по цифровой схемотехнике.** – К.: Техніка, 1990. – 448 с.
3. Кофанов В.Л. **Базовые элементы цифровых интегральных микросхем:** Учеб. пособие. – К.: УМК ВО, 1988. – 116 с.
4. Лихтциндер Б.Я., Кузнецов В.И. **Микропроцессоры и вычислительные устройства в радиотехнике:** Учеб. пособие. – К.: Вища шк., 1988. – 272 с.
5. Ерофеев Ю.Н. **Импульсные устройства:** Учеб. пособие для вузов по спец. «Радиотехника». – М.: Высшая шк., 1989. – 527 с.
6. Угрюмов Е.П. **Цифровая схемотехника:** Учеб. пособие. – СПб.: БХВ – Петербург, 2002. – 528 с.
7. Калабеков Б.А. **Цифровые устройства и микропроцессорные системы:** Учебник для техникумов связи. – М.: Горячая линия – Телеком, 2002. – 336 с.
8. Сигорский В.П., Петренко А.И. **Основы теории электронных схем:** Учеб. пособие. – К.: Вища шк., 1971. – 568 с.

This project has been funded with support from the European Commission. This publication / communication reflects the views only of the author, and the Commission cannot be held responsibility for any use which may be made of the information contained therein.